



(12)发明专利申请

(10)申请公布号 CN 109830455 A

(43)申请公布日 2019.05.31

(21)申请号 201811405946.0

(22)申请日 2018.11.23

(30)优先权数据

2,986,503 2017.11.23 CA

(71)申请人 维耶尔公司

地址 加拿大安大略

(72)发明人 格拉姆雷扎·查济

(74)专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 张晓媛

(51)Int.Cl.

H01L 21/683(2006.01)

H01L 21/60(2006.01)

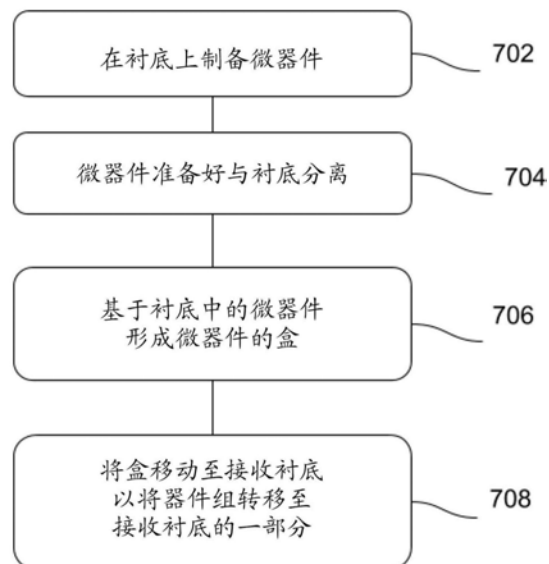
权利要求书2页 说明书21页 附图37页

(54)发明名称

微器件转移设备以及微器件到系统衬底中的集成

(57)摘要

本公开涉及将像素化的微器件集成到系统衬底中。



1. 一种将多个微器件转移至接收衬底中的方法,所述方法包括:
将所述多个微器件布置在一个或多个盒中;
将所述一个或多个盒与具有至少一个对准标记的模板对准;
将所述一个或多个盒与所述模板结合;
将所述模板与所述接收衬底对准;以及
将所述多个微器件从所述模板转移至所述接收衬底中。
2. 根据权利要求1所述的方法,其中,将所述模板与所述接收衬底对准包括拉伸所述模板。
3. 根据权利要求1所述的方法,其中,通过以下项中的一项将所述一个或多个盒与所述模板结合:热结合、光学结合、真空结合、范德华力或机械夹持。
4. 转移设备,包括:
模板,容纳装有微器件的至少一个盒;以及
结合装置,位于所述模板上,通过转移力辅助所述微器件从所述至少一个盒转移至接收衬底。
5. 根据权利要求4所述的转移设备,其中,每个盒均具有单独的结合装置。
6. 根据权利要求4所述的转移设备,还包括:
支承结构,用于将所述模板保持在适当的位置。
7. 根据权利要求6所述的转移设备,其中,所述支承结构包括以下项中的一个:抽吸装置、加载弹簧的销和由压缩气体制成的气床。
8. 根据权利要求4所述的转移设备,还包括:
高度调整装置,位于所述模板与所述至少一个盒之间。
9. 根据权利要求4所述的转移设备,其中,所述模板上的所述至少一个盒与所述结合装置之间的区域具有不同的热性质和机械性质。
10. 根据权利要求4所述的转移设备,其中,在所述模板上的所述盒与所述结合装置之间的不同区域上形成有多个通孔。
11. 根据权利要求10所述的转移设备,其中,所述多个通孔的尺寸针对每个所述区域被调整以调节热性质和机械性质。
12. 一种将多个微器件转移至系统衬底中的方法,所述方法包括:
将一个或多个盒上的所述多个微器件布置在所述系统衬底中;
在每个盒中选择一个或多个能够转移的微器件组;
识别每个能够转移的微器件组中的有缺陷的微器件的数目;以及
同时调整所述有缺陷的微器件到所述系统衬底中的转移。
13. 根据权利要求12所述的方法,其中,调整所述有缺陷的微器件的转移包括:在所述有缺陷的微器件的数目的总和大于阈值的情况下,修理或移除每个盒中的所述有缺陷的微器件。
14. 根据权利要求12所述的方法,其中,调整所述有缺陷的微器件的转移还包括:
选择所述一个或多个盒的子集,在所述子集中,微器件集合中的不能够转移的集合的交集最大,以及
使用所述盒的所述子集来转移到所述系统衬底。

15. 根据权利要求12所述的方法, 其中, 调整所述有缺陷的微器件的转移还包括: 选择盒的子集, 在所述子集中, 有缺陷的微器件的数目总和小于阈值; 以及使用所述盒的所述子集来填充所述系统衬底。

16. 根据权利要求12所述的方法, 其中, 调整所述有缺陷的微器件的转移还包括: 选择盒的子集, 在所述子集中, 优化了高于阈值的所述有缺陷的微器件的数目的总和; 以及使用所述盒的所述子集来填充所述系统衬底。

17. 根据权利要求12所述的方法, 还包括: 通过所述系统衬底偏置所述微器件以测试所转移的微器件与所述接收衬底之间的连接。

18. 根据权利要求12所述的方法, 还包括: 调整结合参数以修理所识别到的数目的所述有缺陷的微器件。

微器件转移设备以及微器件到系统衬底中的集成

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年11月23日提交的第2,986,503号加拿大申请的优先权,所述加拿大申请通过引用以其整体并入本文。

技术领域

[0003] 本发明涉及将微器件集成到系统衬底中。

背景技术

[0004] 本发明的目的是通过提供一种用于将微器件从施主衬底转移至系统衬底的系统和方法以克服现有技术的缺点。

发明内容

[0005] 本说明书的一些实施方式涉及将微器件集成到系统衬底中。系统衬底可包括微发光二极管(LED)、有机LED、传感器、固态器件、集成电路、(微机电系统)MEMS和/或其他电子组件。其他实施方式涉及局部转移过程中的、与像素阵列有关的用于优化微器件使用的微器件的图案化和放置。接收衬底可为但不限于印刷电路板(PCB)、薄膜晶体管背板、集成电路衬底,或者在诸如LED的光学微器件的一种情况下,接收衬底可为显示器的组件,例如,驱动电路背板。微器件施主衬底和接收衬底的图案化可以与不同的转移技术结合使用,包括但不限于利用不同的机制(例如,静电转移头,弹性转移头)进行拾取和放置,或利用直接转移机制(诸如,双功能焊盘等)。

[0006] 根据一个实施方式,提供了一种将多个微器件转移到接收衬底中的方法。该方法包括将多个微器件布置在一个或多个盒中,将一个或多个盒与具有至少一个对准标记的模板对准,将一个或多个盒与模板结合,将模板与接收衬底对准;以及将多个微器件从模板转移至接收衬底中。

[0007] 根据另一实施方式,提供了一种转移设备。转移设备包括容纳装有微器件的至少一个盒的模板;以及结合装置,该结合装置位于模板上以通过转移力辅助微器件从至少一个盒转移到接收衬底中。

[0008] 根据又一实施方式,提供了一种将多个微器件转移至系统衬底中的方法。该方法包括将一个或多个盒上的多个微器件布置在系统衬底中;在每个盒中选择一个或多个可转移的微器件组;识别每个可转移的微器件组中的有缺陷的微器件的数目;以及同时调整有缺陷的微器件到系统衬底中的转移。

附图说明

[0009] 将参考代表本发明的优选实施方式的附图更详细地描述本发明,在附图中:

[0010] 图1A示出了根据本发明的实施方式的施主衬底上的横向功能结构的剖视图;

[0011] 图1B示出了图1A的横向结构的剖视图,其中电流分布层沉积在该横向结构上;

- [0012] 图1C示出了图案化介电层、顶部导电层并沉积第二介电层之后的图1B的横向结构的剖视图；
- [0013] 图1D示出了图案化第二介电层之后的横向结构的剖视图；
- [0014] 图1E示出了沉积并图案化焊盘之后的横向结构的剖视图；
- [0015] 图1F示出了通过结合区域结合至系统衬底从而形成集成结构之后的横向结构的剖视图；
- [0016] 图1G示出了移除施主衬底并图案化底部电极之后的集成结构的剖视图；
- [0017] 图2A示出了具有焊盘层的施主衬底上的横向功能结构的另一实施方式的剖视图；
- [0018] 图2B示出了图案化焊盘层和接触层以及电流分布层之后的图2A 的横向结构的剖视图；
- [0019] 图2C示出了填充图案化的焊盘之间的距离之后的图2A的横向结构的剖视图；
- [0020] 图2D示出了通过图案化的焊盘对准并结合至系统衬底的图2A的横向结构的剖视图；
- [0021] 图2E示出了移除器件衬底的图2A的横向结构的剖视图；
- [0022] 图3A示出了器件(施主)衬底上的台式结构的剖视图；
- [0023] 图3B示出了填充图3A的台式结构之间的空的的步骤的剖视图；
- [0024] 图3C示出了将图3B的器件(台式结构)转移至临时衬底的步骤的剖视图；
- [0025] 图3D示出了将图3C的器件对准并结合至系统衬底的步骤的剖视图；
- [0026] 图3E示出了将器件转移至系统衬底的步骤的剖视图；
- [0027] 图3F示出了热转移步骤的热分布。
- [0028] 图4A示出了具有凹槽的临时衬底以及转移至其的器件的剖视图；
- [0029] 图4B示出了清洁器件空间之间的填充物以及凹槽的填充物之后的图4A的临时衬底的剖视图；
- [0030] 图4C示出了通过破坏释放表面将器件转移至系统衬底的步骤的剖视图；
- [0031] 图5A示出了在填充层中具有不同锚部的微器件的实施方式的剖视图；
- [0032] 图5B示出了在对填充层进行后处理之后的微器件的示例的剖视图；
- [0033] 图5C示出了图5B的微器件的俯视图；
- [0034] 图5D示出了用于将微器件转移至另一衬底的转移步骤的剖视图；以及
- [0035] 图5E示出了将微器件转移至衬底的剖视图。
- [0036] 图6A示出了根据另一实施方式的器件(施主)衬底上的台式结构的剖视图；
- [0037] 图6B示出了填充图3A的台式结构之间的空的的步骤的剖视图；
- [0038] 图6C示出了将图6B的器件(台式结构)转移至临时衬底的步骤的剖视图；
- [0039] 图6D示出了移除图6C的底部导电层的部分的步骤的剖视图；
- [0040] 图6E示出了在填充层中具有锚部的微器件的实施方式的剖视图；
- [0041] 图6F示出了在填充层中具有锚部的微器件的实施方式的剖视图；
- [0042] 图6G示出了在填充层中具有锚部的微器件的实施方式的剖视图；
- [0043] 图6H示出了本发明的另一实施方式中的准备步骤的剖视图；
- [0044] 图6I示出了图6H的实施方式中的蚀刻步骤的剖视图；
- [0045] 图6J示出了图6H的实施方式中的分离步骤的剖视图；

- [0046] 图6K示出了本发明的另一实施方式的俯视图；
- [0047] 图6L示出了图6K的实施方式的剖视图；
- [0048] 图6M示出了具有填充材料的图6K和图6L的实施方式的剖视图；
- [0049] 图7A至图7C示出了形成微器件盒的示例流程图；
- [0050] 图8是本发明的微器件安装过程的流程图；
- [0051] 图9A至图9B示出了本发明的微器件安装过程的示例性流程图；
- [0052] 图10是本发明的微器件安装过程的流程图；
- [0053] 图11A至图11B示出了具有不同类型的像素化微器件的施主或临时(盒)衬底的示例；
- [0054] 图12A至图12B示出了具有不同类型的像素化微器件的施主或临时(盒)衬底的示例；
- [0055] 图13示出了相同类型的微器件的施主衬底的示例，但是微器件组之间的间距不同；
- [0056] 图14A示出了在微器件块上具有不均匀输出的施主衬底或临时衬底的示例；
- [0057] 图14B示出了在多个微器件块上具有不均匀输出的接收衬底或系统衬底的示例；
- [0058] 图14C示出了具有斜交的微器件块的系统衬底的示例；
- [0059] 图14D示出了具有翻转的微器件块的系统衬底的示例；
- [0060] 图14E示出了具有翻转和交替的微器件块的系统衬底的示例；
- [0061] 图15A示出了具有两个不同的微器件块的施主衬底的示例；
- [0062] 图15B示出了具有斜交的不同微器件块的系统衬底的示例；
- [0063] 图16A示出了具有三个不同类型像素化微器件块的施主衬底的示例；
- [0064] 图16B示出了具有来自每个块的多个不同类型的单个微器件的系统衬底的示例；
- [0065] 图17A示出了具有多个不同类型像素化微器件块的盒衬底的示例；以及
- [0066] 图17B示出了具有多个不同类型像素化微器件的偏移块的盒衬底的示例。
- [0067] 图18A至图18E示出了形成微器件盒的示例流程图。
- [0068] 图19示出了使用模板来转移多个盒以用微器件填充系统衬底的实施方式。
- [0069] 图20示出了模板转移系统的示例。
- [0070] 本公开可通过各种修改和替换形式进行改变、并可实现为如已经通过附图中的示例示出且将在本文中详细描述的具体实施方式或实现方式。然而，应当理解的是，本公开不意在被限于所公开的特定形式。相反，本公开将涵盖落入由所附权利要求限定的本发明的精神和范围内的所有修改、等同和替代。

具体实施方式

[0071] 虽然结合多种实施方式和示例描述了本教导，但是这并不意味着本教导限于这些实施方式。相反地，如将由本领域技术人员理解的，本教导涵盖各种替代和等效。

[0072] 图1A示出了包括具有横向功能结构的施主衬底110的实施方式，该横向功能结构包括底部的平坦的片状导电层112、功能层114(例如，发光量子阱)和顶部像素化导电层116。导电层112和116可包括经掺杂的半导体材料或其他合适类型的导电层。顶部导电层116可包括多个不同的层。在一个实施方式中，如图1B中所示，电流分布层118 沉积在导电

层116的顶部上。电流分布层118可被图案化。在一个实施方式中,可通过剥离来完成图案化。在另一情况中,可通过光刻完成图案化。在实施方式中,可首先沉积并图案化介电层,然后将其用作用于图案化电流分布层118的硬掩膜。在图案化电流分布层118之后,顶部导电层116也可被图案化,从而形成像素结构。如图1C中所示,在图案化电流分布层118和/或导电层116之后,可在图案化的导电层116和电流分布层118上方以及图案化的导电层116与电流分布层118之间沉积最终的介电层120。介电层120也可以被图案化以产生如图1D中所示的开口130,从而提供通向图案化的电流分布层 118的通路。如图1E中所示,还可设置附加的平整层128以使上表面平整。

[0073] 如图1E中所示,焊盘132沉积在每个开口130中的电流分布层 118的顶部上。如图1F中所示,具有焊盘132的形成结构结合至具有焊盘154的系统衬底150。系统衬底150中的焊盘154可通过介电层 156分离。诸如电路、平坦化层、导电迹线的其他层152可位于系统衬底焊盘154与系统衬底150之间。衬底系统焊盘154与焊盘132的结合可通过熔合、阳极电镀、热压缩、共熔或粘合结合来完成。在系统与横向器件之间还可以沉积一个或多个其他层。

[0074] 如图1G中所示,可从横向功能器件(例如,导电层112)移除施主衬底110。导电层112可变薄和/或部分或完全图案化。可沉积并图案化反射层或黑色矩阵170以覆盖像素之间的导电层112上的区域。在此阶段后,可根据器件的功能沉积并图案化其他层。例如,可沉积颜色转换层以调整由横向器件和系统衬底150中的像素产生的光的颜色。还可在颜色转换层之前或/和颜色转换层之后沉积一个或多个滤色器。这些器件中的介电层(例如,介电层120)可为有机的(诸如,聚酰胺)或无机的(诸如, SiN 、 SiO_2 、 Al_2O_3 等)。可通过不同的工艺完成沉积,诸如通过等离子体增强化学气相淀积(PECVD)、原子层沉积(ALD)和其他方法完成沉积。每个层可为一种沉积材料或者分开沉积或沉积在一起的不同材料的组合物。结合材料可仅沉积为施主衬底110的焊盘132或系统衬底焊盘154的一部分。对于一些层,还可以存在一些退火工艺。例如,可根据材料对电流分布层118进行退火。在一个示例中,电流分布层118可在 500°C 下退火10分钟。还可在不同的步骤之后完成退火。

[0075] 图2A示出了具有横向功能结构的施主衬底210的示例性实施方式,该横向功能结构包括第一顶部平坦或片状导电层212、功能层(例如,发光层)214、第二底部像素化导电层216、电流分布层218和/或结合焊盘层232。图2B示出了形成像素结构的层216、218、232中的全部或一个的图案化。导电层212和216可由包括高掺杂半导体层的多个层组成。如图2C中所示,可在图案化的层216、218和232之间使用一些层228(例如,介电层)以使横向功能结构的上表面平整。层228还可以执行其他功能,诸如黑色矩阵。如图2D中所示,具有焊盘232的形成结构结合至具有衬底焊盘254的系统衬底250。系统衬底中的焊盘254也可通过介电层256分离。诸如电路、平坦化层、导电迹线的其他层252可位于系统衬底焊盘254与系统衬底250之间。可例如通过熔合、阳极电镀、热压缩、共熔或粘合结合来完成结合。还可存在沉积在系统与横向器件之间的其他层。

[0076] 可从横向功能器件移除施主衬底210。导电层212可变薄和/或图案化。可沉积并图案化反射层或黑色矩阵270以覆盖像素之间的导电层212上的区域。在此阶段后,可根据器件的功能沉积并图案化其他层。例如,可沉积颜色转换层以调整由横向器件和系统衬底250中的像素产生的光的颜色。还可在颜色转换层之前或/和颜色转换层之后沉积一个或多个滤色器。这些器件中的介电层(例如,介电层228和256)可为有机的(诸如,聚酰胺)或无机

的(诸如, SiN、SiO₂、Al₂O₃等)。可通过不同的工艺完成沉积, 诸如通过等离子体增强化学气相沉积(PECVD)、原子层沉积(ALD)和其他方法完成沉积。每个层可为一种沉积材料或者分开沉积或沉积在一起的不同材料的组合物。结合焊盘232的材料可沉积为施主衬底210的焊盘232或系统衬底焊盘254的一部分。对于一些层, 还可以存在一些退火工艺。例如, 可根据材料对电流分布层218进行退火。在示例中, 电流分布层218可在500℃下退火10分钟。还可在不同的步骤之后完成退火。

[0077] 在图3A中示出的另一实施方式中, 在施主衬底310上形成台式结构。微器件结构是通过蚀刻穿过不同的层(例如, 第一底部导电层312、功能层314和第二顶部导电层316)而形成的。可在蚀刻之前或之后在顶部导电层316的顶部上沉积顶部接触部332。在另一情况中, 可使用多层接触部332。在此情况下, 可以在蚀刻之前沉积接触层332的一部分, 并且在蚀刻之后沉积接触层332的其他部分。例如, 可首先沉积通过退火与顶部导电层316产生欧姆接触的初始接触层。在一个示例中, 初始接触层可为金和镍。还可在台式结构之间使用其他层372(诸如, 介电层或MIS(金属绝缘体结构))以隔离每个结构和/或使每个结构绝缘。如图3B中所示, 在形成微器件之后, 可沉积填充层374, 诸如聚酰胺。如果在下一步骤期间仅所选择的微器件被转移至盒(临时)衬底376, 则填充层374也可被图案化。还可在器件转移至临时衬底之后沉积填充层374。填充层374可充当微器件的外壳。在转移之前使用填充层374, 可使得剥离过程更可靠。

[0078] 器件结合至临时衬底(盒)376。结合源可变化, 并且可例如包括静电结合、电磁结合、粘合结合或范德瓦尔斯力(Van-Der-Waals force)结合或者热结合中的一种或多种。在热结合的情况下, 可使用具有T₁的熔化温度的衬底结合层378。结合层378可为导电的或包括导电层和可为粘合结合、热结合或光辅助结合的结合层。导电层可用于偏置衬底376上的器件以识别缺陷并表征性能。此结构可用于本文呈现的其他实施方式。为了适应一些表面轮廓不均匀性, 可在结合过程中施加压力。可以移除临时衬底376或施主衬底310之一, 并将器件留在它们中的任何一个上。在本文中, 此过程是基于将器件留在临时衬底376中进行说明的, 然而, 当器件被留在施主衬底310上时, 可以使用类似的步骤。在此阶段之后, 可对微器件作出额外的处理, 诸如使器件变薄、在底部导电层312上形成接触结合部380、以及移除填充层374。如图3D和图3E中所示, 器件可被转移至系统衬底390。可使用不同的技术完成转移。在一种情况中, 使用热结合进行转移。在此情况下, 系统衬底接触焊盘382上的接触结合层380具有T₂的熔点, 其中, T₂>T₁。在这里, 比T₂高的温度将熔化衬底结合层378和焊盘382上的接触结合层380两者。

[0079] 在随后的步骤中, 温度降低至T₁与T₂之间。在此时, 由于接触结合层380固化, 而衬底结合层378仍然熔化, 因此器件通过接触结合层380结合至系统衬底390。如图3E中所示, 因此移动临时衬底376将使微器件留在系统衬底390上。这可通过对所选焊盘382施加局部加热来选择。此外, 除了局部加热之外, 可使用全局温度(例如, 通过将衬底376和390放置在烘箱中并通过升高其中的整体环境温度来在其中进行该过程)来提高转移速度。在这里, 临时衬底376或系统衬底390上的全局温度可使温度接近接触结合层380的熔点(例如, 接近至相差5℃至10℃), 并且可以使用局部温度来熔化与所选择的器件对应的接触结合层380和衬底结合层378。在另一情况中, 温度可升高接近衬底结合层378的熔点, 例如接近至相差5℃至10℃(高于接触结合层378的熔点), 并且对于与加热的焊盘382接触的器件, 经由器件

从焊盘382转移的温度熔化衬底结合层378的所选区域。

[0080] 图3F中示出了热分布的示例,其中,熔化温度 T_r 熔化接触结合层380和衬底结合层378两者,并且固化温度 T_s 使接触结合层380与结合焊盘382固化在一起,而衬底结合层378仍然熔化。熔化可为局部的或至少使结合层足够柔软以释放微器件或激活形成合金的过程。在这里,还可以使用组合或独立的其他力来将器件保持在结合焊盘 382上。在另一情况中,可通过施加穿过器件的电流来产生温度分布。由于接触电阻在结合之前将更高,因此在结合焊盘382和器件上消耗的功率将很高,从而熔化接触结合层380和衬底结合层378两者。随着结合形成,电阻将下降,且因此功耗将下降,从而降低局部温度。经过焊盘382的电压或电流可用作结合质量以及何时停止该过程的指示。施主衬底310和临时衬底376可为相同的或不同的。在器件转移至系统衬底390之后,可完成不同的工艺步骤。这些额外的工艺步骤可为平坦化、电极沉积、颜色转换沉积并图案化、滤色器沉积并图案化等。

[0081] 在另一实施方式中,随着开始形成合金,使微器件从盒衬底376 释放的温度增加。在此情况下,当在接收衬底390的接合焊盘382上形成结合合金时,温度可保持恒定,并且结合层固化,从而将微器件保持在接收衬底390上的适当位置。同时,盒衬底376上连接至所选择的微器件的结合层378仍然熔化(或足够柔软)以释放器件。在这里,形成合金所需的材料的一部分可位于微器件上,并且材料的其他部分沉积在结合焊盘382上。

[0082] 在另一实施方式中,填充层374可沉积在盒衬底376的顶部上以形成组合的填充层374/结合层378。然后,可将来自施主衬底310的微器件推入到聚合填充层374中。然后,微器件可局部地或全局地与施主衬底310分离。聚合结合层378/378可在器件与施主衬底310分离之前或之后固化。如果将多个不同的器件集成到盒衬底374中,则可为一种类型的微器件生成专门图案化的聚合结合层37/378,以将微器件埋在该层中并且使该微器件与其施主310分离。然后,为下一个类型的微器件沉积并图案化另一聚合结合层378。然后,第二微器件可埋在相关的层374中。在所有情况下,聚合结合层374可覆盖微器件的一部分或整个器件。

[0083] 增加温度的另一方法可为使用微波或光。因此,层可沉积在结合焊盘382、焊盘382的一部分、微器件上(或沉积在盒衬底376的吸收微波或光并且局部加热微器件的部分上)。替代地,盒衬底376和/ 或接收衬底390可包括可选择性和/或全局加热微器件的加热元件。

[0084] 还可使用其他方法将微器件与临时衬底376分离,诸如化学、光学或机械力。在一个示例中,微器件可由牺牲层覆盖,牺牲层可通过化学、光、热或机械力从临时衬底376剥离。此剥离过程可为选择性的或全局的。在全局剥离的情况下,到系统衬底390的转移是选择性的。如果器件与临时衬底(盒)376的剥离过程是局部的,则可局部地或全局地施加到系统衬底390的转移力。

[0085] 可基于不同的机制进行从盒376转移至接收衬底390的过程。在一种情况中,盒376具有结合材料,该结合材料在存在光的情况下释放器件而该相同的光固化器件至接收衬底的结合。

[0086] 在另一实施方式中,用于将器件的结合层380固化至接收衬底390 的温度使器件从盒376释放。

[0087] 在另一情况中,电流或电压将器件的结合层380固化至施主衬底310。相同的电流或电压可将器件从盒376释放。在这里,释放可以是由电流产生的压电或温度的功能。

[0088] 在另一方法中,在固化器件与接收衬底390的结合部之后,将结合的器件拉出盒376。在这里,将器件保持至盒376的力小于将器件结合至接收衬底390的力。

[0089] 在另一方法中,盒376具有通孔,该通孔可以用于将器件从盒376 推出到接收衬底390中。可以通过不同的方式完成推动,诸如使用微杆阵列推动或气动地推动。在气动结构的情况下,可通过气动力将所选择的器件推动至接收衬底390或断开所选择的器件的拉力。在微棒的情况下,通过使微棒穿过与所选择的器件相关的通孔,使所选择的器件朝向接收衬底390移动。微棒可具有不同的温度以促进转移。在完成所选择器件的转移之后,微棒回缩。相同的棒与另一组微器件的通孔对准,或者与新选择的微器件组对准的微棒组被用于转移新器件。

[0090] 在一个实施方式中,盒376可被拉伸以增加盒376中的器件间距,以增加吞吐量。例如,如果盒376的面积为 $1 \times 1 \text{ cm}^2$,且具有5微米器件间距,并且接收衬底390(例如,显示器)具有50微米的像素间距,则盒376可一次填充 200×200 (40,000) 个像素。然而,如果盒376 被拉伸至具有 $2 \times 2 \text{ cm}^2$ 的面积,且具有10微米的器件间距,则盒376 可一次填充 400×400 (160,000) 个像素。在另一情况中,盒376可被拉伸,使得盒376上的至少两个器件与接收衬底中的两个相应的位置对准。可在一个或多个方向上完成拉伸。盒衬底376可包括可拉伸聚合物或由可拉伸聚合物组成。微器件还固定在另一层中或固定在与盒衬底376相同的层中。

[0091] 上述方法的组合也可以用于微器件从盒376到接收衬底390的转移过程。

[0092] 在盒(临时衬底) 376的形成期间,可测试器件以识别不同的缺陷和器件性能。在一个实施方式中,在分离顶部电极之前,可偏置并测试器件。在器件是发射型的情况下,可使用相机(或传感器)来提取缺陷和器件性能。在器件是传感器的情况下,可对器件施加激励来提取缺陷和性能。在另一实施方式中,顶部电极332可被图案化成组以在图案化成单独器件之前进行测试。在另一示例中,多于一个器件之间的临时公共电极沉积或联接至器件以提取器件性能和/或提取缺陷。

[0093] 以上描述的与图3A至图3D有关的、包括但不限于分离、填充层的形成、填充层的不同作用、测试以及其他结构的方法可用于包括下文描述的其他方式的其他结构。

[0094] 本文讨论的用于将微器件从盒376(临时衬底)转移至接收衬底 390的方法可应用于本文呈现的盒和接收衬底的所有配置。

[0095] 施主衬底310上的器件可形成为在朝向远离施主衬底310的方向的相同侧上具有两个接触部332和380。在本实施方式中,盒376上的导电层可以被图案化以独立地偏置器件的两个接触部332和380。在一种情况中,器件可从盒衬底376直接转移至接收衬底390。在这里,接触部332和380可不直接结合至接收衬底390,即,接收衬底 390不需要具有特定的焊盘。在此情况下,导电层被沉积并图案化以将接触部332和380连接至接收衬底390中的适当的连接部。在另一实施方式中,器件可在转移至接收衬底390之前首先从盒376转移至临时衬底。在这里,接触部332和380可直接结合至接收衬底焊盘382。可在盒376中或在临时衬底中测试器件。

[0096] 在图4A中示出的另一实施方式中,如上文中所描述的,在施主衬底上形成台式结构,其中,微器件结构是通过蚀刻穿过不同的层而形成的,不同的层诸如为第一底部导电层412、功能层(例如,发光层) 414和第二顶部导电层416。顶部接触部432可在蚀刻之前或之后沉积在顶部导电层416的顶部上。

[0097] 临时衬底476包括最初填充有填充材料(例如,诸如聚合物的柔软材料或诸如 SiO_2 、 SiN 等的固体材料)的多个凹槽476-2。凹槽476-2位于表面和/或衬底结合层478之下。器件被转移至凹槽476-2的顶部上的临时衬底476,并且器件包括接触焊盘432。此外,每个微器件可包括用于隔离和/或保护的、围绕每个微器件的其他钝化层和/或MIS层472。器件之间的空间可填充有填充材料474。在对器件进行后处理之后,另一下接触焊盘480可沉积在器件的相对表面上。在沉积下接触焊盘480之前,接触层412可变薄。然后,可移除填充材料474,并且可例如通过各种合适的方法(诸如化学侵蚀或蒸发)清空凹槽以使使得或促进结合层478的表面和/或所选区段的释放。可使用如先前在上文所描述的类似的工艺将器件转移至系统(接收)衬底490。此外,在另一实施方式中,从焊盘432施加的力(例如,推力或拉力)可使排空的凹槽476-2上方的表面和/或结合层478断裂,同时保持未选择的台式结构附接至临时衬底。如图4B和图4C中所示,该力也可以使器件从临时衬底476释放。凹槽476-2的深度可选择为应对一些微器件高度差。例如,如果高度差为H,则凹槽的深度可大于H。

[0098] 衬底310上的器件可以被形成为在朝向远离衬底310的方向的相同侧上具有两个接触部432和480。在此情况下,盒衬底476上的导电层可以被图案化以独立地偏置器件的两个接触部。在一种情况中,器件可从盒衬底476直接转移至接收衬底。在这里,接触部432和480将不直接结合至接收衬底(接收衬底不需要具有特定的焊盘)。在此情况下,导电层被沉积并图案化以将接触部432和380连接至接收衬底中的适当的连接部。在另一情况中,器件可在转移至接收衬底之前首先从盒476转移至临时衬底。在这里,接触部432和480可以直接结合至接收衬底焊盘。可以在盒中或在临时衬底中测试器件。

[0099] 在图5A中示出的另一实施方式中,如上文中所描述的,在施主衬底510上形成台式结构,其中,微器件结构是通过蚀刻穿过不同的层而形成的,不同的层诸如为第一底部导电层512、功能层(例如,发光层)514和第二顶部导电层516。顶部接触焊盘532可在蚀刻之前或之后沉积在顶部导电层516的顶部上。此外,每个微器件可包括用于隔离和/或保护的、围绕每个微器件的其他钝化层和/或MIS层572。在本实施方式中,器件可设置有不同的锚部,由此在剥离器件之后,锚部将器件保持至施主衬底510。可通过激光完成剥离。在示例中,激光仅扫描器件。在实施方式中,可在施主衬底510的背面处使用具有仅用于器件的开口的掩模,以阻挡来自其他区域的激光。掩模可以是单独的或者可以是施主衬底510的一部分。在另一情况中,另一衬底可以在剥离过程之前连接到器件以保持器件。在另一情况中,可在器件之间使用填充层574(例如,介电层)。

[0100] 在示出的第一情况中,层592设置成将器件保持至施主衬底510。层592可为单独的层或微器件的在台式结构的形成期间未被蚀刻的层的一部分。在另一情况中,层592可为层572中的一个的延续。在此情况下,层592可为金属层或介电层(SiN 或 SiO_2 、或其他材料)。在另一情况中,锚部被形成为包括延伸部594、空隙/间隙596和/或桥部598的单独结构。在这里,牺牲层被沉积并图案化为具有与间隙/空隙596相同的形状。然后,锚层被沉积并图案化以形成桥部598和/或延伸部594。可稍后移除牺牲材料以生成空隙/间隙596。也可以省略延伸部594。与先前的锚部592类似,另一锚部可由不同的结构层制成。在另一情况中,填充层574充当锚部。在此情况下,填充层574可以被蚀刻或图案化或保持原样。

[0101] 图5B示出了在移除填充层574和/或蚀刻填充层以生成锚部574之后的样品。在另一情况中,在剥离之后,桥接层598的粘合力足以将器件保持在适当的位置并充当锚部。最

终的器件位于图5B的右侧上；这些器件仅出于示出的目的而在一个衬底510上示出。可以在衬底上使用它们中的任意一个或组合。如图5C中所示，锚部574可覆盖器件的至少一部分或整个外围，或者锚部574可以被图案化以形成臂部594和592。对于任何锚部结构，可使用任意一种结构。图5D示出了将器件转移至接收衬底590的一个示例。在这里，微器件结合至焊盘582或不利用任何焊盘而放置在预定区域中。压力或分离力可通过破坏锚部来释放锚部。在另一情况中，还可使用温度来释放锚部。可通过控制温度使微器件与施主衬底510的剥离之间的层的粘度增加以充当锚部。图5E示出了转移至接收衬底590之后的器件并且示出了锚部中的可能的释放点598-2。锚部也可直接连接至施主衬底510 或通过其他层间接连接至施主衬底510。

[0102] 施主衬底510上的器件可被形成为在朝向远离施主衬底510的方向的相同侧上具有两个接触部532和480。在一种情况中，器件可从施主衬底510直接转移至接收衬底590。在这里，接触部532和480 可直接结合至接收衬底焊盘582。可在施主510中或在盒衬底中测试器件。在另一实施方式中，器件可在转移至接收衬底590之前首先从施主盒510转移至盒衬底。在这里，接触部532将不直接结合至接收衬底590，即，接收衬底590不需要具有特定的焊盘582。在此情况下，导电层被沉积并图案化以将接触部532连接至接收衬底590中的适当的连接部。

[0103] 系统衬底或接收衬底390、490和590可包括微发光二极管(LED)、有机LED、传感器、固态器件、集成电路、(微机电系统)MEMS和/ 或其他电子组件。其他实施方式涉及与像素阵列有关的微器件的图案化和放置以优化选择性转移过程中的微器件使用。系统衬底或接收衬底390、490和590可为但不限于印刷电路板(PCB)、薄膜晶体管背板、集成电路衬底，或者在诸如LED的光学微器件的一种情况下，可为显示器的组件，例如，驱动电路背板。微器件施主衬底和接收衬底的图案化可以与不同的转移技术结合使用，包括但不限于利用不同的机制(例如，静电转移头，弹性转移头)进行拾取和放置，或利用直接转移机制(诸如，双功能焊盘等)。

[0104] 图6A示出了图3A至图3F的台式结构的替代实施方式，其中，最初时，台式结构没有蚀刻穿过所有层。在这里，缓冲层312和/或接触层312的一些部分可在初始步骤期间保留。在施主衬底310上形成台式结构。微器件结构是通过蚀刻穿过不同的层(例如，第一底部导电层312、功能层314和第二顶部导电层316)而形成的。顶部接触部 332可在蚀刻之前或之后沉积在顶部导电层316的顶部上。台式结构可以包括其它层372，其他层372将在形成台式结构之前或在形成台式结构之后沉积并图案化。这些层可为电介质、MIS层、接触部、牺牲层等。在台式结构形成之后，填充层(多个填充层)374(例如介电材料)被用在微器件之间或微器件周围以将微器件固定在一起。微器件通过衬底结合层(多个衬底结合层)378结合至临时衬底376。结合层(多个结合层)378可提供一种或多种不同的力，诸如静电力、化学力、物理力、热等。如上文所描述的，在器件从施主衬底310移除之后，底部导电层312的附加部分可被蚀刻掉或图案化以分离器件(图6C)。诸如接触结合层380的其他层可被沉积并图案化。在这里，可以蚀刻填充层374以分离微器件或移除牺牲层以分离器件。在另一实施方式中，可施加温度以使器件与填充层374分离并使器件准备好转移至接收衬底390。如上文所描述的，可选择性地完成分离。如图 6E中所示，在另一实施方式中，填充层374可被蚀刻以形成至少部分围绕每个微器件的外壳、基底或锚部375(例如，以截头锥体形状或平头锥体

形状)。另一层可沉积在基底375之上并且用于制造锚部 598-2。在形成额外层598-2之后,填充基底层375可被留下或从锚部设置移除。图6G示出了具有牺牲层372-2的器件。牺牲层372-2可通过蚀刻移除或者可以被热变形或热移除。

[0105] 在另一实施方式中,锚部与外壳375相同并且在微器件转移至盒 376之后由聚合物、有机物或其他层构成。外壳375可具有不同的形状。在一种情况中,外壳可与器件形状匹配。外壳侧壁可比微器件高度短。外壳侧壁可在转移周期之前连接至微器件来为盒376中的微器件的不同的后处理以及微器件盒的封装提供支承,以用于运输和存储。外壳侧壁可为分离的,或者可在转移周期之前或在转移周期期间通过不同的方式(诸如,热量、蚀刻或曝光)从器件中削弱与微器件的连接。

[0106] 施主衬底310上的器件可被形成为在朝向远离施主衬底310的方向的相同侧上具有两个接触部332和380。在此情况下中,盒376上的导电层可被图案化以独立地偏置器件的两个接触部332和380。在一种情况中,器件可从盒衬底376直接转移至接收衬底390。在这里,接触部332和380将不直接结合至接收衬底390,即,接收衬底390 不需要具有特定的焊盘。在此情况下,导电层被沉积并图案化以将接触部332和380连接至接收衬底390中的适当的连接部。在另一实施方式中,器件可在转移至接收衬底390之前首先从盒376转移至临时衬底。因此,接触部332和380可直接结合至接收衬底焊盘。可以在盒376中或在临时衬底中测试器件。

[0107] 由于衬底晶格与微器件层之间的失配,因此层的生长包含若干缺陷,诸如错位、空隙等。为了减少缺陷,可首先在施主衬底6110上沉积至少一个第一缓冲层6114和/或第二缓冲层6118,其中,分离层6116 位于第一缓冲层6114与第二缓冲层6118之间或与第一缓冲层6114和第二缓冲层6118相邻,并且随后在缓冲层6114和/或缓冲层6118之上沉积有源层6112。缓冲层6114和6118的厚度可为较大的,例如为施主衬底6110的厚度。在微器件与施主衬底6110的分离(剥离)期间,缓冲层6114/6118也可被分离。因此,每次都应重复缓冲层沉积。图6H示出了衬底6110上的结构,其中,分离层6116位于第一缓冲层6114与实际器件层6112之间。在分离层6116与器件层6112之间可存在第二缓冲层6118。第二缓冲层6118还可阻挡来自分离层6116 的污染物渗透到器件层6112。两个缓冲层6114和6118可包括多于一个层。分离层6116也可包括不同材料的堆叠。在一个示例中,分离层 6116对其他层不响应的光的波长作出反应。此光源可用于将实际器件 6112与缓冲层(多个缓冲层)6114/6118以及施主衬底6110分离。在另一示例中,分离层6116与化学物质反应,而该相同的化学物质不影响其他层。这种化学物质可以用于移除分离层6116或改变分离层6116 的性质以将器件与缓冲层(多个缓冲层)6114/6118以及衬底6110分离。该方法使施主衬底6110上的第一缓冲层6114是完整的,且因此可以在下一器件形成中重复使用第一缓冲层6114。在下一器件沉积之前,可完成诸如清洁或缓冲的一些表面处理。在另一示例中,缓冲层(多个缓冲层)6114/6118可包括氧化锌。

[0108] 如图6I中所示,在分离过程(剥离)之前,可通过不同的蚀刻过程分离微器件。该蚀刻可对第二缓冲层6118(如果存在)以及分离层 6116的部分或全部以及器件层6112进行蚀刻。在另一示例中,第二缓冲层6118或分离层6116不被蚀刻。在蚀刻步骤之后,微器件临时(或永久地)结合至另一衬底6150,且分离层6116被移除或修改以将微器件与缓冲层(多个缓冲层)6114/6118分离。如图6J中所示,第一缓冲层6114可在施主衬底6110上保持基本完

整。

[0109] 在图6K至图6M中示出的另一实施方式中,层(例如,第一底部导电层312、功能层314和第二顶部导电层316)可在施主衬底6210上形成成为岛部6212。图6K示出了形成成为微器件的阵列的岛部6212的俯视图。岛部6212可为相同尺寸的盒或多个尺寸的盒。岛部6212可从缓冲层6114/6118开始形成或在缓冲层之后形成。在这里,表面处理或间隙6262、6263可形成在表面上以开始作为岛部的膜的生长(图6L)。如图6M那样,为了处理微器件,可通过填充层6220填充间隙。填充物6220可包括聚合物、金属或介电层。在处理微器件之后,可移除填充层6220。

[0110] 图7A强调了形成微器件盒的过程。在第一步骤702期间,在施主衬底(例如,施主衬底310或510)上制备微器件。在此步骤期间,形成器件并对器件执行后处理。在第二步骤704期间,器件准备好与施主衬底310或510分离。此步骤可以包括通过使用锚部(例如锚部375、476-1、592、594、598和598-2)或填充物(例如,填充物374、472和574)来固定微器件。在第三步骤706期间,由第一步骤702和第二步骤704中预处理的微器件形成盒衬底或临时衬底(例如,盒衬底376或476)。在一种情况中,在此步骤期间,微器件通过结合层(例如,结合层378或478)直接或间接结合至盒衬底376或476。然后,微器件与微器件盒衬底376或476分离。在另一实施方式中,盒形成在微器件施主衬底(例如,施主衬底510)上。在器件固定在盒衬底376、476或510上之后,可以进行其他处理步骤,诸如移除一些层(例如,层312、374、472、574)、增加电有关的层(例如,接触部380或480)或光学层(透镜,反射器)。盒376或476移动至接收衬底(例如,接收衬底390、490或590)以将器件转移至接收衬底390、490或590。可以重新排列或合并这些步骤中的一些步骤。可在微器件仍在盒衬底(例如,盒衬底376或476)上时或在微器件已经转移至接收衬底(例如,接收衬底390、490或590)之后对微器件执行测试步骤707A,以确定微器件是否有缺陷。在707B中,有缺陷的微器件可被移除或固定在原位。例如,可测试具有预定数目的微器件组,并且如果缺陷的数目超过预定阈值,则可移除整个微器件组、可移除有缺陷的微器件中的至少一些和/或可修理有缺陷的微器件中的至少一些。

[0111] 图7B强调了形成微器件盒的过程。在第一步骤702期间,在衬底上制备微器件。在此步骤期间,形成器件并对器件执行后处理。在第二步骤704期间,器件准备好与衬底分离。此步骤可以包括通过使用锚部或填充物固定微器件。在第三步骤706期间,由第一步骤702和第二步骤704中预处理的微器件形成盒。在步骤707A期间,与系统衬底中的像素有关的微器件组已经被识别出具有多于阈值的缺陷,并且在步骤707B期间,移除与所述微器件组相关的微器件。在一种情况中,在此步骤期间,微器件通过结合层直接或间接结合至盒衬底。然后,将微器件与微器件衬底分离。在另一情况中,盒形成在微器件衬底上。在器件固定在盒衬底上之后,可以进行其他处理步骤,诸如移除一些层、添加电有关的层(例如,接触部)或光学层(透镜、反射器)。盒被移动至接收衬底以将器件转移至接收衬底。可以重新排列或合并这些步骤中的一些步骤。

[0112] 图7C强调了形成微器件盒的过程。在第一步骤702期间,在衬底上制备微器件。在此步骤期间,形成器件并对器件执行后处理。在第二步骤704期间,器件准备好与衬底分离。此步骤可以包括通过使用锚部或填充物固定微器件。在第三步骤706期间,由第一步骤702和第二步骤704中预处理的微器件形成盒。在步骤707期间,已经识别出盒中的有缺陷的微

器件,并且如果缺陷的数目大于阈值,则在步骤707B期间修理有缺陷的微器件中的一些或全部。在一种情况中,在此步骤期间,微器件通过结合层直接或间接结合至盒衬底。然后,将微器件与微器件衬底分离。在另一情况中,盒形成在微器件衬底上。在器件固定在盒衬底上之后,可以进行其他处理步骤,诸如移除一些层、添加电有关的层(例如,接触部)或光学层(透镜、反射器)。盒被移动至接收衬底以将器件转移至接收衬底。可以重新排列或合并这些步骤中的一些步骤。

[0113] 图8示出了将器件从盒376、476或510转移至接收衬底390、490或590的步骤。在这里,在第一步骤802期间,盒376、476或510被装载(或拾取),或者在另一实施方式中,备用设备臂预先装载有盒376、476或510。在第二步骤804期间,盒376、476或510与接收衬底的部分(或全部)对准。可以通过使用盒376、476或510以及接收衬底390、490或590上的专用对准标记或使用微器件和接收衬底390、490或590上的着陆部进行对准。在第三步骤期间,微器件转移至所选择的着陆区域。如果接收衬底390、490或590被完全填充,则盒衬底376、476或510移动到下一步骤(例如,另一接收衬底390、490或590)。如果需要进一步填充当前的接收衬底390、490或590,则利用一个或多个另外的盒376、476或510进行进一步的转移步骤。在新转移循环之前,如果盒376、476或510不具有足够的器件,则循环从第一步骤802开始。如果盒376、476或510具有足够的器件,则在步骤814中将盒376、476或510偏移(或移动并对准)至接收衬底390、490或590中的新区域,并且新循环继续至步骤806。可以合并和/或重新排列这些步骤中的一些步骤。

[0114] 图9A示出了将器件从盒(例如,临时衬底376、476或510)转移至接收衬底(例如,接收衬底390、490或590)的步骤。在这里,在第一步骤902期间,盒376或476被装载(或拾取),或者在另一实施方式中,备用设备臂预先装载有盒。在第二步骤902-2期间,在盒376、476或510中选择微器件组中的缺陷的数目小于阈值的微器件组。在第三步骤904期间,盒376、476或510与接收衬底的部分(或全部)对准。可以通过使用盒376、476或510和/或接收衬底390、490或590上的专用对准标记或使用微器件和接收衬底390、490或590上的着陆部进行对准。然后,在第三步骤906期间,微器件可被转移至所选择的着陆区域。在可选步骤906-2中,可例如通过接收衬底390、490或590进行偏置而导通微器件以测试微器件与接收衬底的连接。如果发现个别的微器件有缺陷或无功能,则可执行另外的调整步骤906-3来校正或修理无功能的微器件中的一些或全部。

[0115] 如果接收衬底被完全填充,则接收衬底390、490或590被移动至下一步骤。如果需要进一步填充接收衬底390、490或590,则由一个或多个另外的盒376、476或510进行进一步的转移步骤。在新转移循环之前,如果盒376、476或510不具有足够的器件,则循环从第一步骤902开始。如果盒376、476或510具有足够的器件,则在步骤902-2中将盒376、476或510偏移(或移动并对准)至接收衬底390、490或590中的新区域。

[0116] 图10示出了形成多类型微器件盒376、476、510或1108的示例性工艺步骤。在第一步骤1002期间,在不同的施主衬底(例如,施主衬底310或510)上制备至少两种不同的微器件。在此步骤期间,形成器件并对器件执行后处理。在第二步骤1004期间,器件准备好与施主衬底(例如,施主衬底310或510)分离。此步骤可以包括通过使用锚部(例如,锚部375、476-1、592、594、598和598-2)或填充物(例如,填充物374、472和574)固定微器件。在第三步骤1006期间,将第一器件移动至盒376、476、510或1108。在第四步骤1008期间,将至少第

二微器件移动至盒376、476、510或1108。在一种情况中,在此步骤期间,微器件通过结合层(例如,结合层378或478)直接或间接结合至盒衬底376、476、510或1108。然后,微器件与微器件施主衬底310或510分离。在直接转移的情况下,不同类型的微器件可以具有不同的高度以辅助直接转移。例如,转移至盒376、476、510或1108的第二类型的微器件可以比第一类型的微器件稍微高(或者,第二类型的微器件在盒376、476、510或1108上的位置可以稍高)。在这里,在盒376、476、510或1108被完全填充之后,可以调节微器件高度以使盒376、476、510或1108的表面平坦。这可以通过向较短的微器件添加材料或通过从较高的微器件移除材料来完成。在另一情况下,接收衬底390、490或590上的着陆区域可以具有与盒376、476、510或1108中的差异相关联的不同的高度。填充盒376、476、510或1108的另一方法是基于拾取和放置的。可以通过拾取并放置过程将微器件移动至盒376、476、510或1108。在这里,拾取并放置头上的力元件对于盒376、476、510或1108中的一个簇中的微器件可以是统一的,或者该力元件对于每个微器件可以是单独的。此外,微器件可以利用其他方式移动至盒376、476、510或1108。在另一实施方式中,第一微器件或第二微器件(第三微器件或其他微器件)中的额外的器件从盒衬底376、476、510或1108移走,并且其他类型的微器件被转移至盒376、476、510或1108上的空的区域中。在器件固定在盒衬底376、476、510或1108上之后,可以进行其他处理步骤,诸如添加填充层374、474或574、移除一些层、添加电有关的层(例如,接触部380、480或580)或光学层(透镜、反射器)。在每次用于填充接收衬底390、490或590之前,可以测试器件。该测试可以是电学的或光学的或两者的组合。该测试可以识别盒上的器件的缺陷和/或性能。在最后的步骤1010期间,盒376、476、510或1108移动至接收衬底390、490或590以将器件转移至接收衬底390、490或590。可以重新排列或合并这些步骤中的一些步骤。

[0117] 这里描述的转移过程(例如图7、图8、图9和图10)可包括拉伸步骤以增加盒376、476、510或1108上的微器件的间距。此步骤可在对准之前完成或作为对准步骤的一部分完成。此步骤可以增加与接收衬底390、490或590上的着陆区域(或焊盘)对准的微器件的数目。此外,它可以将盒376、476、510、1108上的包括至少两个微器件的微器件阵列之间的间距与接收衬底390、490或590上的着陆区域(或焊盘382)的间距匹配。

[0118] 图11A至图11B示出了与临时衬底376、376或510类似的多类型微器件盒1108的示例。在图11A中,盒1108包括三种不同类型的微器件1102、1104、1106,例如,三种颜色(红色,绿色和蓝色)的微器件。但是可存在更多的器件类型。微器件之间的距离 x_1 、 x_2 、 x_3 、 y_1 与接收衬底390、490或590中的着陆区域的间距相关。在可以与接收衬底390、490或590中的像素间距相关的几个器件之后,可存在不同的间距 x_4 、 y_2 。此间距将补偿像素间距与微器件间距(着陆区域间距)之间的失配。在此情况下,如果使用拾取和放置形成盒1108,则力元件可以是与每个微器件类型的列对应的列的形式,或者力元件可以是用于每个微器件的单独的元件。在图11B中,盒1108包括三种不同类型的微器件1102、1104、1106,例如,三种颜色(红色,绿色和蓝色)的微器件。每种颜色的多个微器件1102、1104、1106可以布置在盒中。一些微器件可以布置在三种不同颜色的微器件1102、1104、1106之间。微器件之间的距离 x_1 、 x_2 、 x_3 、 y_1 与接收衬底390、490或590中的着陆区域的间距相关。可以使用施主衬底或临时(盒)衬底上的像素化微器件的这些不同布置。

[0119] 图12A至图12B示出了与临时衬底376、476或510类似的多类型微器件盒1208的示

例。在图12A中,盒1208包括三种不同类型的微器件1202、1204、1206,例如,三种颜色(红色,绿色和蓝色)的微器件。其他区域1206-2可为空的、填充有备用的微器件或包括不同类型的第四微器件。微器件之间的距离 x_1 、 x_2 、 y_1 、 y_2 与接收衬底390、490或590中的着陆区域的间距相关。在可与接收衬底390、490或590中的像素间距相关的几个器件阵列之后,可存在不同的间距 x_4 、 y_4 。此间距将补偿像素间距与微器件间距(着陆区域间距)之间的失配。在图12B中,盒1208包括三种不同类型的微器件1202、1204、1206,例如,三种颜色(红色,绿色和蓝色)的微器件。每种颜色的多个微器件1202、1204、1206可以布置在盒中。一些微器件可以布置在三种不同颜色的微器件202、1204、1206之间。微器件之间的距离 x_1 、 x_2 、 y_1 、 y_2 与接收衬底390、490或590中的着陆区域的间距相关。可以使用施主衬底或临时(盒)衬底上的像素化微器件的这些不同布置来在底板上映射微器件。

[0120] 图13示出了在转移至多类型微器件盒376、476、510、1108、1208之前在与施主衬底310或510类似的施主衬底1304上制备的微器件1302的一个示例。在这里,可以为单独的器件或器件组使用支承层1306和1308。在这里,间距可以与盒376、476、510、1108、1208中的间距匹配,或者该间距可以为盒间距数倍。

[0121] 在上述所有结构中,在使用微器件填充衬底之前,可以将微器件从第一盒移动至第二盒。可以在转移之后进行额外的处理步骤。或者,可以在第一盒结构与第二盒结构之间分配处理步骤中的一些。

[0122] 图14A示出了与施主衬底310或510类似的施主衬底1480中的微器件的实施方式。由于制造和材料缺陷,微器件在施主衬底1480上可能具有逐渐降低或逐渐增加的输出功率,即,输出功率的不均匀性,如附图中用由深至浅的颜色所示的。由于器件可在一个块(例如,块1482)中一起转移至接收衬底390、490或590中,或者每次一个或多个依次转移至接收衬底390、490或590中,接收衬底390、490或590中的相邻器件逐渐地劣化。然而,可能在一个块(例如,块1482)或一系列相邻的块末端与另一块(例如,块1483)或一系列块开端处(例如,沿着相交线1484)发生更严重的问题,这可能导致如图14B中所示的输出性能的突然变化。该突然变化可导致光电器件(诸如显示器)的视觉伪影。

[0123] 为了解决不均匀性的问题,图14C中示出的一个实施方式包括在显示器中使单独的块1482和1483与其上方和其下方的块斜交或交错,使得块的边缘或相交线不是急剧变化的线,从而消除相交线1484,并且由此器件块在显示器上形成斜交的模式。因此,显著地降低了突然转变的平均影响。斜交可为随机的并且可具有不同的剖面。

[0124] 图14D示出了相邻块中的微器件被翻转使得具有相似性能的器件彼此相邻的另一实施方式,例如,第一块1482的性能从第一外侧A至第一内侧B降低,而相邻的第二块1483的性能从与第一内侧A相邻的第二内侧B至第二外侧A增加,这可使得块之间的改变和转变保持很平滑并消除长的突然相交1484。

[0125] 图14E示出了翻转器件(例如,高性能器件和低性能器件在内侧处交替)并斜交边缘的示例性组合以进一步改善平均均匀性。在示出的实施方式中,器件性能在两个方向上在高与低之间交替,即,在相邻的水平块以及相邻的竖直块之间交替。

[0126] 在一种情况中,在转移至接收衬底390、490或590之前,块的边缘处的微器件的性能与相邻的转移块(阵列)匹配。

[0127] 图15A示出了使用两个或更多个块1580、1582来填充接收衬底1590中的块。在示

出的实施方式中,如图15B中所示的斜交或翻转的方法可用于进一步改善平均均匀性。分别来自块1580和1582的较高(或较低)输出功率侧B和C可彼此相邻定位,以及使块之间的连接部与块上方和块下方的块的连接部交错或斜交。此外,可使用随机图案或限定图案来填充具有多于一个块的盒衬底或接收衬底1590。

[0128] 图16A示出了具有多于一个块1680、1682和1684的样本。块1680、1682和1684可来自相同的施主衬底310或510或来自不同的施主衬底310或510。图16B示出了由不同的块1680、1682和1684填充盒1690的示例以消除任何一个块中发现的不均匀性。

[0129] 图17A和图17B示出了具有多个盒1790的结构。如上文所描述的,盒1790的位置是以消除在不同转移循环期间接收衬底390、490、590或1590中的相同的区域与具有相同的微器件的盒1790重叠的方式选择的。在一个示例中,盒1790可为独立的,这意味着单独的臂或控制器独立地处理每个盒。在另一实施方式中,可对立地完成对准,但是可同步进行其他行为。在本实施方式中,在对准之后,接收衬底390、490、590或1590可移动以促进转移。在另一示例中,在对准之后,盒1790一起移动以促进转移。在另一示例中,盒1790和接收衬底390、490、590或1590两者可移动以促进转移。在另一情况中,可提前组装机1790。在此情况下,框或衬底可保持组装好的盒1790。

[0130] 盒1790之间的距离 X_3 、 Y_3 可为盒1790的宽度 X_1 、 X_2 的数倍或长度 Y_1 、 Y_2 的数倍。该距离可为不同的方向上移动步数的函数。例如, $X_3 = KX_1 + HX_2$,其中, K 是用于填充接收衬底390、490、590或1590的向左(直接或间接)的移动步数,并且 H 是用于填充接收衬底390、490、590或1590的向右(直接或间接)的移动步数。相同的函数关系可用于盒1790之间的距离 Y_3 以及长度 Y_1 和 Y_2 。如图17A中所示,盒1790可在一个或两个方向上对准。在图17B中示出的另一示例中,盒1790在至少一个方向上不对准。每个盒1790可具有独立的控制,以向接收衬底390、490、590或1590施加压力和温度。根据接收衬底390、490、590或1590与盒1790之间的移动方向,还可以存在其他布置。

[0131] 在另一示例中,盒1790可具有不同的器件,且因此用不同的器件填充接收衬底390、490、590或1590中的不同区域。在此情况下,盒1790与接收衬底390、490、590或1590的相对位置在每个转移循环之后改变以用来自不同的盒1790的所有所需的微器件填充不同的区域。

[0132] 在另一实施方式中,制备数个盒1790的阵列。在这里,在器件从盒的第一阵列转移至接收衬底390、490、590或1590之后,接收衬底390、490、590或1590移动到微器件的下一阵列以填充接收衬底390、490、590或1590中的剩余区域或接收不同的器件。

[0133] 在另一示例中,盒1790可位于曲面上,且因此弧形移动提供用于将微器件转移至接收衬底390、490、590或1590中的接触。

[0134] 图18A至图18E强调了形成微器件盒并减少有缺陷的微器件的过程。在图18A中,在第一步骤1802期间,在衬底上制备微器件组。在第二步骤1804期间,可以寻找与系统衬底中的像素相关的、其中有缺陷的微器件的数目大于阈值的微器件组。在第三步骤1806期间,在使用盒的微器件组填充系统衬底之前,可以修理有缺陷的微器件中一些或全部。可以重新排列或合并这些步骤中的一些步骤。

[0135] 在图18B中,在第一步骤1802期间,在衬底上制备微器件组。在第二步骤1804期间,可以寻找与系统衬底中的像素相关的、其中有缺陷的微器件的数目大于阈值的微器件组。

在第三步骤1806期间,可以移除该微器件组中的微器件。

[0136] 在图18C中,在第一步骤1802期间,可以针对盒组中的每个盒寻找与系统衬底中的像素相关的、有缺陷的微器件数目大于阈值的不可转移的微器件组。在第二步骤1804期间,可以选择盒的其中不能转移的微器件的交集最大的子集。在第三步骤1806期间,可使用盒的该子集来填充系统衬底。

[0137] 在图18D中,在第一步骤1802期间,可以寻找不同的盒中与系统衬底中的像素相关的不同的微器件组中的缺陷。在第二步骤1804 期间,可以选择不同的盒中与系统衬底中的像素相关的不同的微器件组中的缺陷。在第三步骤1806期间,可使用盒的子集来填充系统衬底。

[0138] 在图18E中,在第一步骤1802期间,可以寻找不同的盒中与系统衬底中像素相关的不同微器件组中的缺陷。在第二步骤1804期间,可以选择盒的子集,该子集中,高于阈值的、所选择的盒中与系统衬底中像素相关的微器件组的数目被优化。在第三步骤1806期间,可使用盒的该子集来填充系统衬底。

[0139] 图19示出了使用模板来转移多个盒以用微器件填充系统衬底的实施方式。在这里,模板具有多于一个的盒。在第一步骤1902期间,至少一个盒与具有一些对准标记以促进对准过程的模板对准。在第二步骤1906期间,至少一个盒结合至模板。结合机制可以是不同的形式,诸如热、光学、真空、范德华力、机械夹持等。可以存在重复步骤1902、1906的环路1904以将更多的盒结合至模板。然后,将模板与接收衬底对准。

[0140] 图20示出了模板转移系统的示例。在这里,模板2002具有可以装载在结构2002-2上的多个盒2004。所述结构2002-2可以提供更大的刚性,并且还可以提供高可配置性。可以针对每个结构2002-2独立地控制高度配置。结构2002-2可以与盒的尺寸相同、小于盒的尺寸或大于盒的尺寸。此结构2002-2还可以是辅助微器件从盒2004转移到接收衬底2010中的结合装置。结合装置可以提供压力、温度、光学和其他类型的力以辅助转移。在另一情况中,结合装置2006位于模板 2002的另一侧处。此外,一些支承结构2008可以将模板保持在适当的位置。支承结构2008可以位于模板2002的任一侧处。在一种情况中,支承结构可以与结合装置相同。在另一情况中,每个盒子都有单独的结合装置。在另一情况中,至少多于一个盒的结合装置是相同的。接收衬底2010也具有支承结构2014、2016。支承结构可以位于接收衬底的任一侧处。在一种情况中,接收衬底可具有可以辅助或启动结合过程的结合装置2012。结合装置2006或2012之一可以用于结合。支承结构2014可以与接收结合装置2012相同。在另一情况中,可以使用多个模板来填充接收衬底。在这里,每个模板可以独立地与接收衬底对准。

[0141] 支承结构可以是抽吸装置、磁力、加载弹簧的销、由诸如空气或氮气等压缩气体形成的气床。

[0142] 模板2002上的盒2004与结合装置2006之间的区域可以具有不同的热性质和/或机械性质。在一种情况中,该区域可以由具有较高导热性的不同材料制成。在另一情况中,通孔可形成在模板上的、盒2004 与装置2006之间的不同区域中或至少一个区域中以及其他区域中。可以针对每个区域调整通孔的尺寸以调整机械性质。在另一情况中,通孔可以填充有不同的材料以调整模板2002的不同区域的机械性质和/ 或热性质。

[0143] 竖直光电堆叠层包括衬底、有源层、位于有源层与衬底之间的至少一个缓冲层以

及位于缓冲层与有源层之间的至少一个分离层,其中,有源层可通过改变分离层的性质而从衬底物理移除,同时缓冲层保持在衬底上。

[0144] 在一个实施方式中,改变分离层(多个分离层)的性质的过程包括化学反应蚀刻或使分离层变形。

[0145] 在另一实施方式中,改变分离层(多个分离层)的性质的过程包括暴露于光电波,从而使分离层变形。

[0146] 在另一实施方式中,改变分离层(多个分离层)的性质的过程包括改变温度,从而使分离层变形。

[0147] 在一个实施方式中,重新使用缓冲层来形成新的光电堆叠层包括表面处理。

[0148] 在一个实施方式中,表面处理使用化学蚀刻或抛光、或者物理蚀刻或抛光。

[0149] 在另一实施方式中,表面处理使用缓冲层的额外薄层的沉积来进行表面重修。

[0150] 在一个实施方式中,光电器件是发光二极管。

[0151] 在一个实施方式中,分离层可为氧化锌。

[0152] 本发明的实施方式包括连续的像素化结构,其包括完全或部分连续的有源层、像素化的接触部和/或电流扩散层。

[0153] 在本实施方式中,焊盘和/或结合层可存在于像素化的接触部和/或电流扩散层的顶部上。

[0154] 在以上实施方式中,介电开口可存在于每个像素化的接触部和/或电流扩散层的顶部上。

[0155] 另一实施方式包括施主衬底,该施主衬底包括具有结合焊盘的微器件以及填充微器件之间的空间的填充层。

[0156] 另一实施方式包括具有结合层的临时衬底,来自施主衬底的微器件结合至该结合层。

[0157] 另一实施方式包括热转移技术,该技术包括以下步骤:

[0158] 1) 将临时衬底上的微器件与系统衬底的结合焊盘对准;

[0159] 2) 系统衬底上的结合焊盘的熔点高于临时衬底中的结合层的熔点;

[0160] 3) 生成热分布,熔化所述结合焊盘和结合层两者,然后使结合层保持熔化并且使结合焊盘凝固;以及

[0161] 4) 将临时衬底与系统衬底分离;

[0162] 在转移技术中的另一实施方式中,热分布由局部热源或全局热源或者该两者产生。

[0163] 另一实施方式包括微器件结构,其中,至少一个锚部在器件通过剥离过程从施主衬底释放之后将微器件保持至施主衬底。

[0164] 另一实施方式包括微器件结构的转移技术,其中,在微器件通过推力或通过拉力结合至接收衬底中的焊盘之后或在这期间,锚部释放微器件。

[0165] 在另一实施方式中,根据微器件结构的锚部包括从微器件的侧部延伸至衬底的至少一个层。

[0166] 在另一实施方式中,根据微器件结构的锚部包括空隙和位于空隙顶部上的至少一个层。

[0167] 在另一实施方式中,根据微器件结构的锚部包括围绕器件的填充层。

[0168] 另一实施方式包括根据微器件结构的结构,其中,通过控制温度使剥离微器件与施主衬底之间的层的粘度增加以充当锚部。

[0169] 另一实施方式包括微器件结构中的锚部的释放过程,其中,调节温度以减小锚部与微器件之间的力。

[0170] 另一实施方式包括将微器件转移至接收衬底中的过程,其中,在盒中形成微器件;将盒与接收衬底中的所选择的着落区域对准;以及将盒中的与所选择的着落区域相关的微器件转移至接收衬底。

[0171] 另一实施方式包括将微器件转移到接收衬底中的过程,其中,将微器件形成至盒中;选择具有小于阈值的有缺陷的微器件的微器件组;将盒中的所选择的微器件组与接收衬底中的所选择的着落区域对准;以及将盒中的与所选择的着落区域相关的微器件转移至接收衬底。

[0172] 一种包括盒的实施方式,该盒具有从其中转移的多个类型的微器件。

[0173] 一种包括微器件盒的实施方式,其中,牺牲层将微器件的至少一侧与填充层或结合层分离。

[0174] 一种实施方式,其中,牺牲层被移除以将微器件从填充层或结合层释放。

[0175] 一种实施方式,其中,牺牲层在一些条件(诸如高温)下将微器件从填充物释放。

[0176] 可测试微器件以提取与微器件有关的信息,包括但不限于缺陷、均匀性、操作条件等。在一个实施方式中,微器件(多个微器件)临时结合至盒,该盒具有用于测试微器件的一个或多个电极。在一个实施方式中,在微器件位于盒中之后沉积另一电极。此电极可以用于在图案化之前或之后测试微器件。在一个实施方式中,盒放置在预定位置中(该预定位置可以是容纳件)。盒和/或接收衬底被移动以进行对准。至少一个所选择的微器件被转移至接收衬底。如果盒上/盒中存在更多的微器件,则移动盒或接收衬底以与相同的接收衬底中的新区域或新的接收衬底对准,并且至少另一所选的器件(多个所选择的器件)被转移至新位置。此过程可继续直到盒没有足够的微器件,在此时,可将新盒放置在预定位置中。在一个示例中,基于从盒提取的信息来控制所选择器件的转移。在一个示例中,从盒提取的缺陷信息可用于通过消除具有多于阈值的缺陷数目或转移的缺陷的累计数目将超过阈值的微器件组的转移来将转移至接收衬底的有缺陷的器件的数目限制成低于阈值数目。在另一示例中,将基于一个或多个提取的参数对盒进行分箱,并且每个箱将用于不同的应用。在另一情况中,基于一个或多个参数而具有接近性能的盒将用于一个接收衬底中。可组合这里给出的示例以改善盒转移性能。

[0177] 在实施方式中,物理接触以及压力和/或温度可用于将器件从盒转移到接收衬底中。在这里,压力和/或温度可产生结合力(夹持力)以将微器件保持至接收衬底和/或温度也可降低微器件与盒之间的接触力。因此,能够将微器件转移至接收衬底。在此情况下,与接收衬底的其余部分相比,接收衬底上的分配给微器件的位置具有较高的配置性以加强转移过程。在实施方式中,盒在某些区域中可不具有微器件,所述某些区域可与接收衬底的不期望的区域接触(诸如在转移过程期间分配给其他类型的微器件的位置)。这两个示例可进行组合。在实施方式中,衬底上的微器件的分配位置可选择性地用粘合剂润湿,或用结合合金覆盖,或者在分配位置上放置额外的结构。在冲压过程中,可使用单独的盒、印刷或其他

工艺。在实施方式中,盒上所选的微器件可移动得更接近接收衬底以加强局部转移。在另一情况中,接收衬底施加拉力以辅助或启动微器件从盒的转移。拉力可以与其他力组合。

[0178] 在一个实施方式中,外壳将支承盒中的微器件。外壳可围绕施主衬底或盒衬底上的微器件制造,或者单独地制造外壳,然后微器件移动至外壳内并结合至盒。在一个实施方式中,可存在沉积在盒衬底的顶部上的至少一种聚合物(或另一类型的材料)。来自施主衬底的微器件被推入到聚合物层中。微器件可局部地或全局地与施主衬底分离。该层可在器件与施主衬底分离之前或之后固化。如果多个不同的器件集成到盒中,则该层可被专门图案化。在此情况下,可生成一种类型的层,从而将微器件埋在该层中且使微器件与其施主分离。然后,为下一类型的微器件沉积并图案化另一层。然后,第二微器件埋在相关的层中。在所有情况下,此层可覆盖微器件的一部分或整个器件。在另一情况中,在微器件转移至盒之后,由聚合物、有机物或其他层构建外壳。外壳可具有不同的形状。在一种情况中,外壳可与器件形状匹配。外壳侧壁可比微器件高度短。外壳侧壁可在转移循环之前连接至微器件来为盒中的微器件的不同的后处理以及微器件盒的封装提供支承,以用于运输和存储。外壳侧壁可被分离,或者可在转移循环之前或在转移循环期间通过不同的方式(诸如,热量、蚀刻或曝光)从器件中削弱与微器件的连接。可存在将微器件保持至盒衬底的接触点。与盒接触的接触点可为器件的底部侧或顶部侧。接触点可通过诸如热、化学处理或曝光的不同方式在转移之前或在这期间变弱或消除。可以针对一些所选器件执行此过程,或可为盒上的所有微器件全局地执行此过程。接触部也可导电的,以能够通过偏置接触点处的器件和连接至微器件的其他电极来测试器件。在转移循环期间,盒可位于接收衬底之下以防止微器件在接触点被全局移除或削弱时从外壳脱落。

[0179] 在一个实施方式中,微器件盒可包括至少一个锚部,该至少一个锚部将微器件保持至盒表面。盒和/或接收衬底被移动,从而使盒中的一些微器件与接收衬底中的一些位置对准。此锚部可在将盒和接收衬底朝向彼此推动期间或在由接收衬底拉动器件期间在压力下断裂。微器件可永久地留在接收衬底上。锚部可位于微器件的侧面上或位于微器件的顶部(或底部)处。

[0180] 顶部侧是器件面向盒的侧面,并且底部是微器件的相对侧。其他侧指的是侧面或侧壁。

[0181] 在一个实施方式中,可测试微器件以提取与微器件有关的信息,包括但不限于缺陷、均匀性、操作条件等。盒可放置在预定位置中(该预定位置可以是容纳件)。盒和/或接收衬底可被移动以进行对准。至少一个所选择的微器件可被转移至接收衬底。如果盒上/盒中存在更多的微器件,则盒或接收衬底可被移动以与相同的接收衬底中的新区域或新的接收衬底对准,并且至少另一所选的器件(多个所选择的器件)可被转移至新位置。此过程可继续直到盒没有足够的微器件,在此时,新盒将被放置在预定位置中。在一种情况中,可基于从盒提取的信息控制所选择的器件的转移。在一种情况中,从盒提取的缺陷信息可用于通过消除具有多于阈值的缺陷数目或转移的缺陷的累计数目将超过阈值的微器件组的转移来将转移至接收衬底的有缺陷的器件的数目限制成低于阈值数目。在另一情况中,将基于一个或多个提取的参数对盒进行分箱,并且每个箱可用于不同的应用。在另一情况中,基于一个或多个参数而具有接近性能的盒将用于一个接收衬底中。可组合这里给出的示例以改善盒转移性能。

[0182] 一个实施方式包括将微器件转移至接收衬底的方法。该方法包括：

[0183] a) 制备具有衬底的盒，其中，微器件位于盒衬底的至少一个表面上，并且盒在一个区域中具有比接收衬底中相同尺寸的相应区域中的微器件位置更多的微器件。

[0184] b) 通过提取至少一个参数测试盒上的器件。

[0185] c) 盒被拾取或转移至微器件面向接收衬底的位置。

[0186] d) 测试数据被用于选择盒上的微器件组。

[0187] e) 将盒上所选择的微器件组与接收衬底上所选择的位置对准。将微器件组从盒转移至接收衬底。

[0188] f) 可继续过程d和e直到盒中没有任何有效的器件或接收衬底被完全填充。

[0189] 一个实施方式包括具有多于一种类型的微器件的盒，多于一个类型的微器件以与接收衬底中的间距相同的间距位于盒中。

[0190] 一个实施方式包括具有衬底的盒，其中，微器件（直接或间接）位于盒的表面上，并且微器件在行或列中斜交，使得至少一个行或列的边缘不与至少另一行或列的边缘对准。

[0191] 一个实施方式是将微器件转移至接收衬底的方法。该方法包括将微器件阵列转移至衬底中，其中，所转移的微器件的至少一个行或列的边缘不与所转移的器件的至少另一行或列的边缘对准。

[0192] 一个实施方式包括将微器件转移至接收衬底的方法。该方法包括将器件阵列从施主衬底转移至接收衬底，其中，在接收衬底上的与转移阵列的尺寸类似的任何区域中，至少存在一个行或列，其具有来自与转移阵列对应的施主衬底的两个不同区域的微器件。

[0193] 一个实施方式包括将微器件阵列转移至接收衬底中的过程，其中，微器件在阵列的边缘处斜交以消除突然变化。

[0194] 另一实施方式包括将微器件阵列转移至接收衬底中的过程，其中，在转移之前，对微器件的两个阵列的相邻边缘处的微器件的性能进行匹配。

[0195] 另一实施方式包括将微器件阵列转移至接收衬底中的过程，其中，微器件阵列由至少来自微器件施主衬底的两个不同区域的微器件进行填充。

[0196] 另一实施方式包括将微器件从盒转移至接收衬底中的过程，其中，多个微器件盒位于与接收衬底的不同区域对应的不同位置中，然后将盒与接收衬底对准，并将微器件从盒转移至接收衬底。

[0197] 根据一个实施方式，提供了一种将多个微器件转移到接收衬底中的方法。该方法包括将多个微器件布置在一个或多个盒中，将一个或多个盒与具有至少一个对准标记的模板对准，将一个或多个盒与模板结合，将模板与接收衬底对准；以及将多个微器件从模板转移至接收衬底中。

[0198] 根据一些实施方式，将模板与接收衬底对准包括通过以下项中的一种拉伸模板以及一个或多个盒与模板的结合：热结合、光学结合、真空结合、范德华力或机械夹持。

[0199] 根据另一实施方式，提供了一种转移设备。转移设备包括模板和结合装置，其中，模板容纳装有微器件的至少一个盒，结合装置位于模板上以通过转移力辅助微器件从至少一个盒转移至接收衬底。

[0200] 根据又一实施方式，每个盒具有单独的结合装置。转移设备还包括用于将模板保

持在适当的位置的支承结构以及位于模板与至少一个盒之间的高度调整装置。支承结构包括以下项中的一种：抽吸装置、加载弹簧的销和由压缩气体制成的气床。

[0201] 根据又一实施方式，模板上的至少一个盒与结合装置之间的区域具有不同的热性质和机械性质，并且多个通孔形成在模板上的盒与结合装置之间的不同区域上。针对每个区域调整多个通孔的尺寸以调节热性质和机械性质。

[0202] 根据又一实施方式，提供了一种将多个微器件转移至系统衬底中的方法。该方法包括将一个或多个盒上的多个微器件布置在系统衬底中；在每个盒中选择一个或多个可转移的微器件组；识别每个可转移微器件组中的有缺陷的微器件的数目；以及同时调整有缺陷的微器件到系统衬底中的转移。

[0203] 根据另一实施方式，其中调整有缺陷的微器件的转移包括：如果有缺陷的微器件的数目总和大于阈值，则修理或移除每个盒中的有缺陷的微器件，选择一个或多个盒的子集，其中，不可转移的微器件组的交集最大，以及使用盒的该子集来调整到系统衬底的转移；选择盒的子集，其中有缺陷的微器件的数目总和小于阈值，以及使用盒的该子集来填充系统衬底；选择盒的子集，其中高于阈值的、有缺陷的微器件的数目总和被优化，以及使用盒的该子集来填充系统衬底。

[0204] 根据又一实施方式，方法还包括通过系统衬底偏置微器件以测试所转移的微器件与接收衬底之间的连接以及调整结合参数以修理所识别的有缺陷的微器件的数目。

[0205] 已经出于示出和描述的目的呈现了本发明的一个或多个实施方式的以上描述。其并非旨在穷举本发明或将本发明限制于所公开的精确形式。根据以上教导，可以存在许多修改和改变。其旨在使本发明的范围不受此详细描述的限制，而是受所附权利要求的限制。

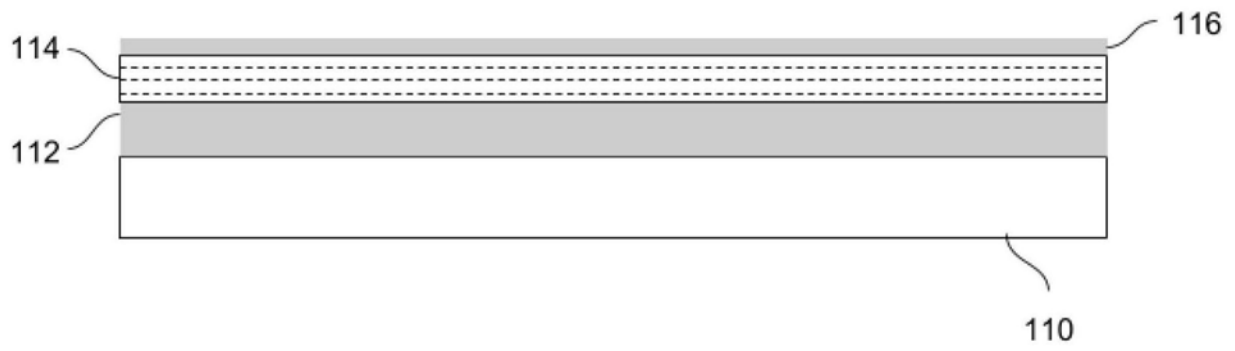


图1A

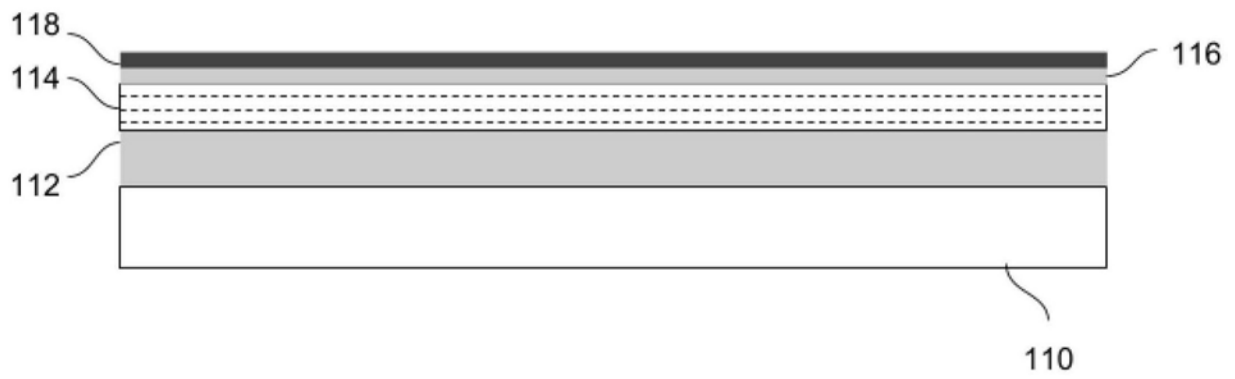


图1B

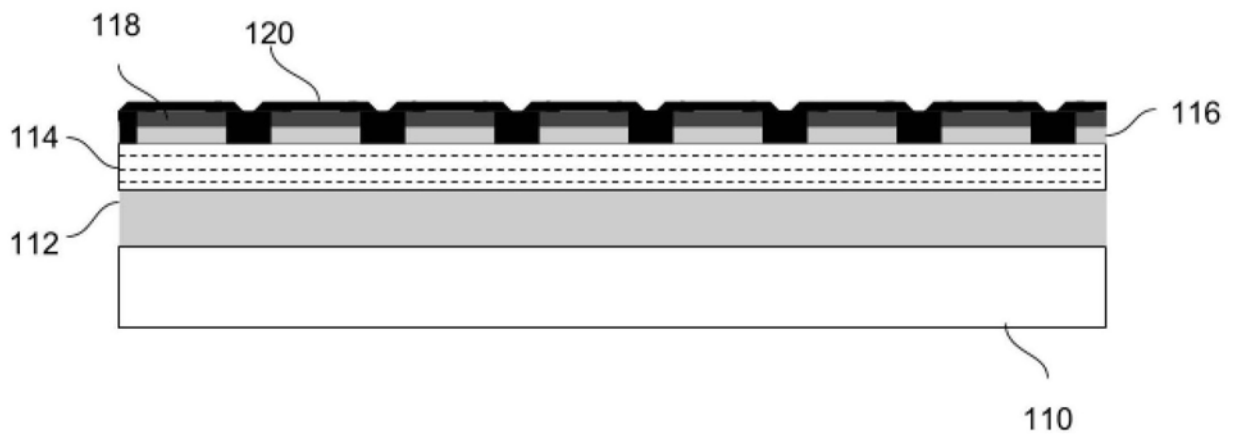


图1C

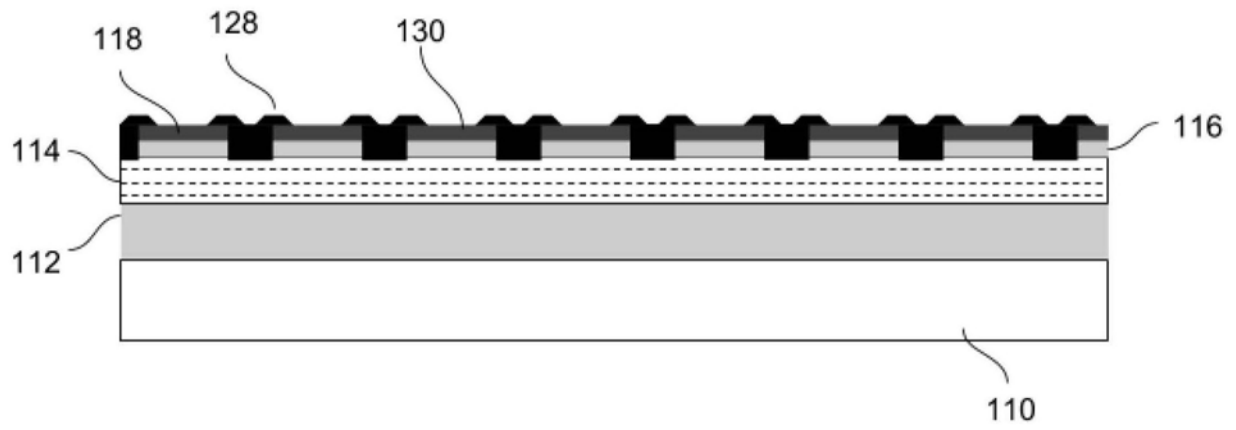


图1D

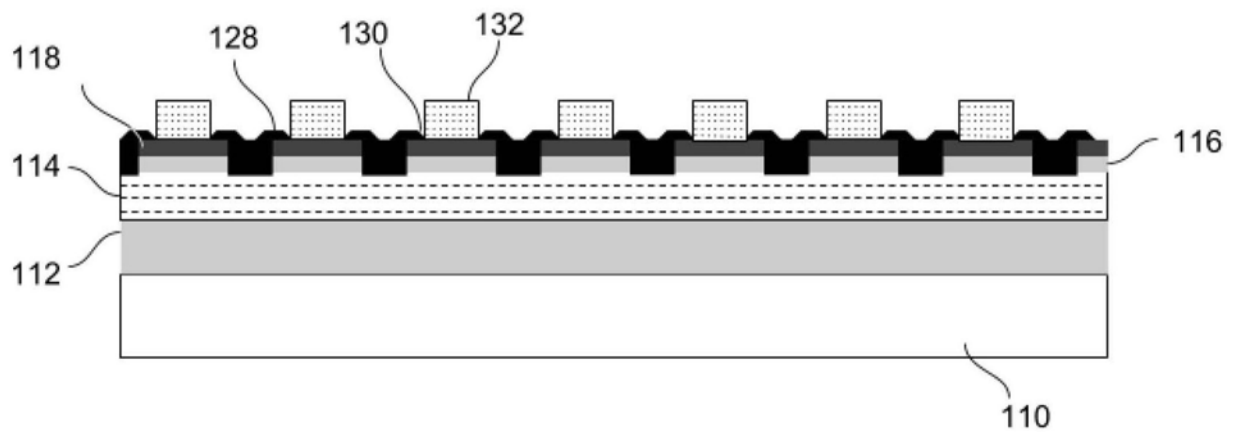


图1E

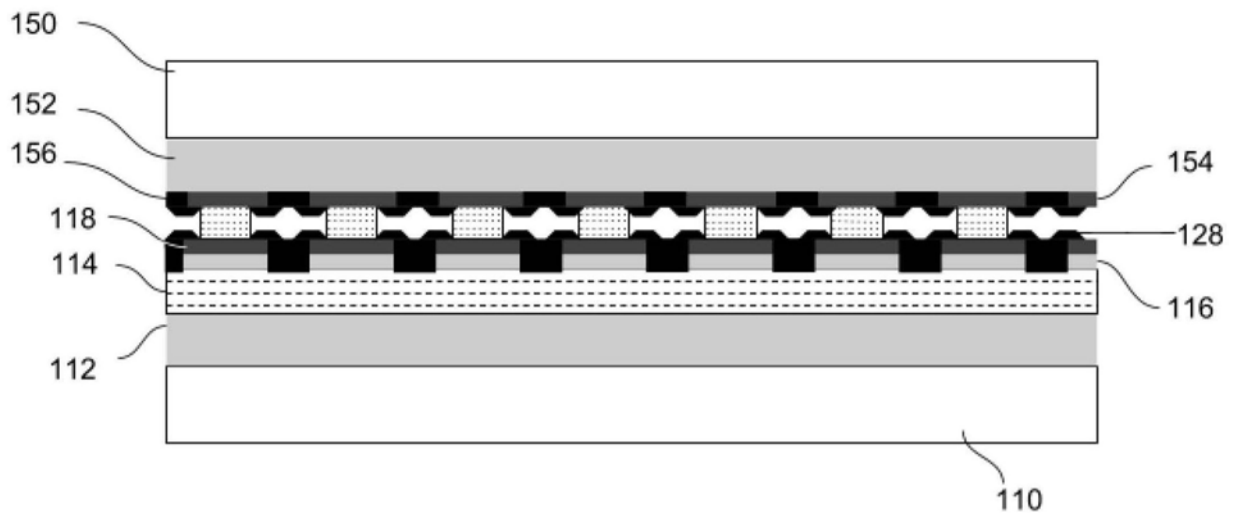


图1F

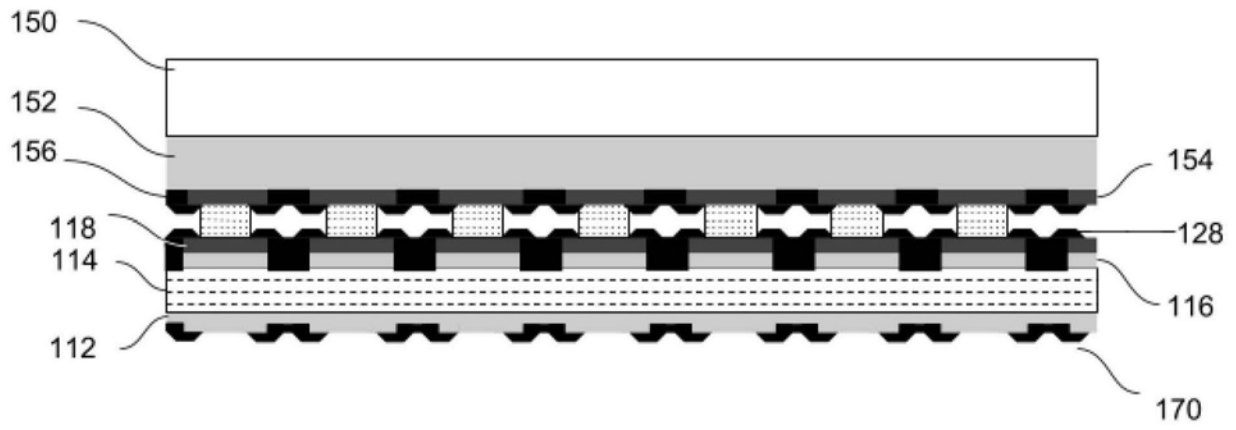


图1G

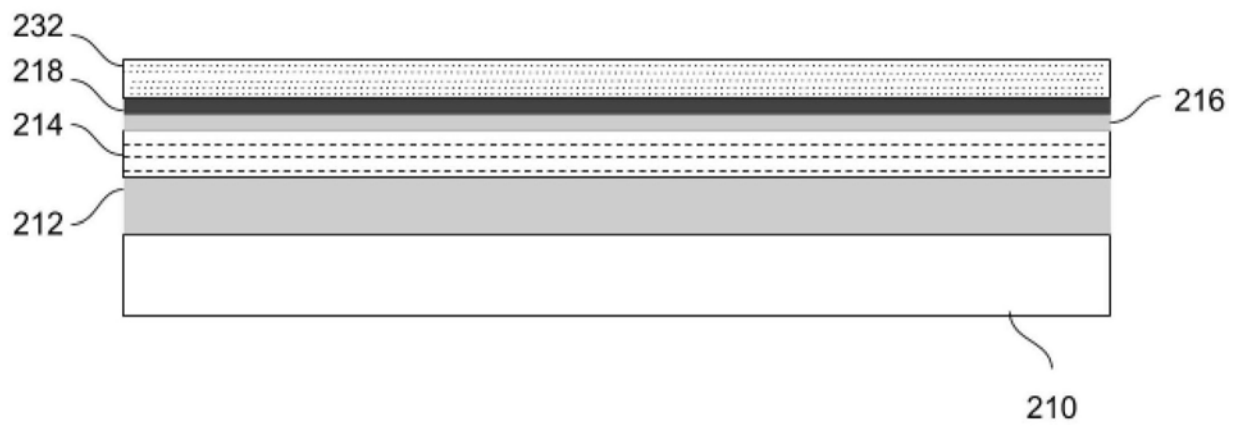


图2A

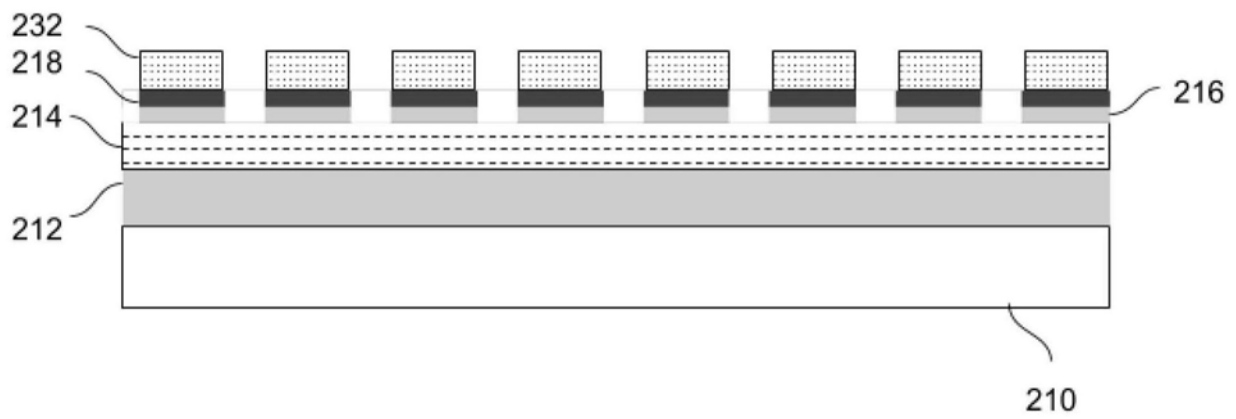


图2B

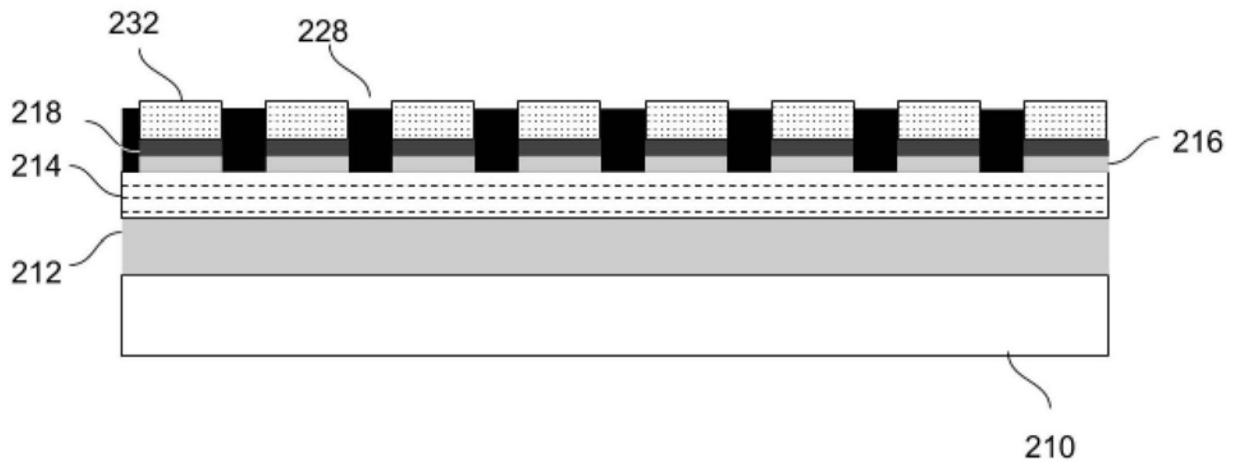


图2C

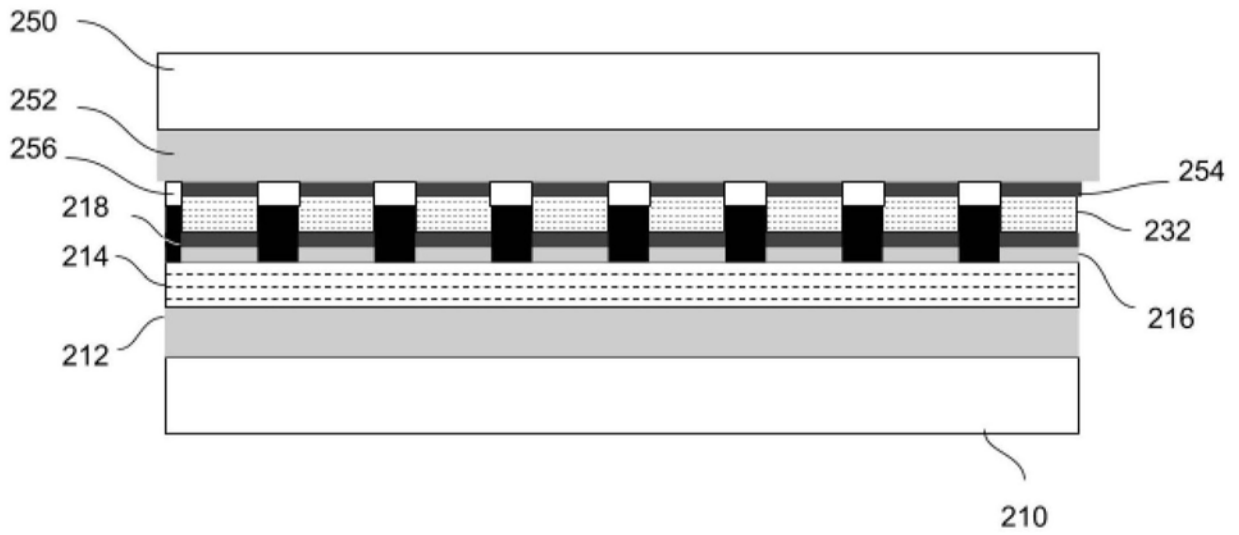


图2D

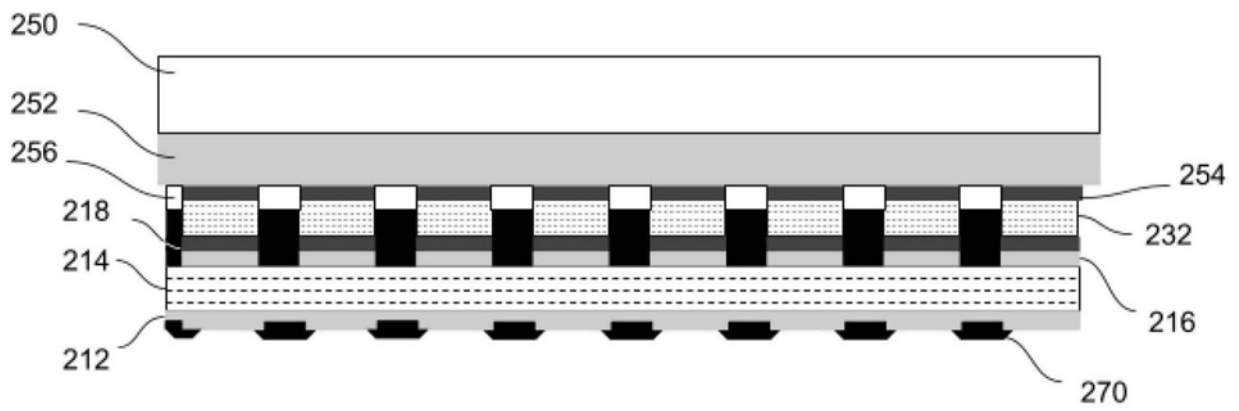


图2E

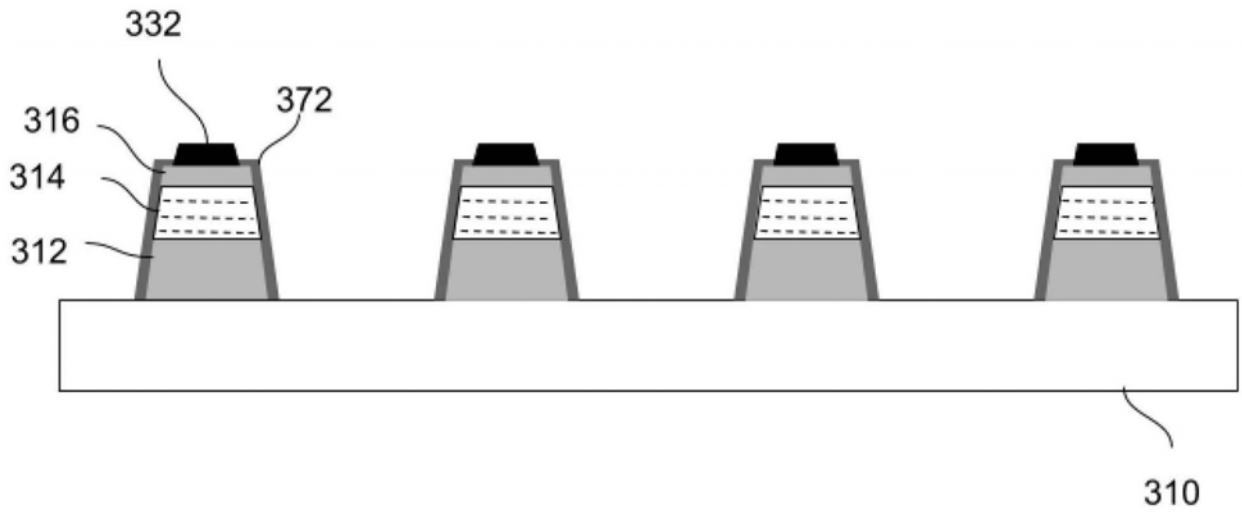


图3A

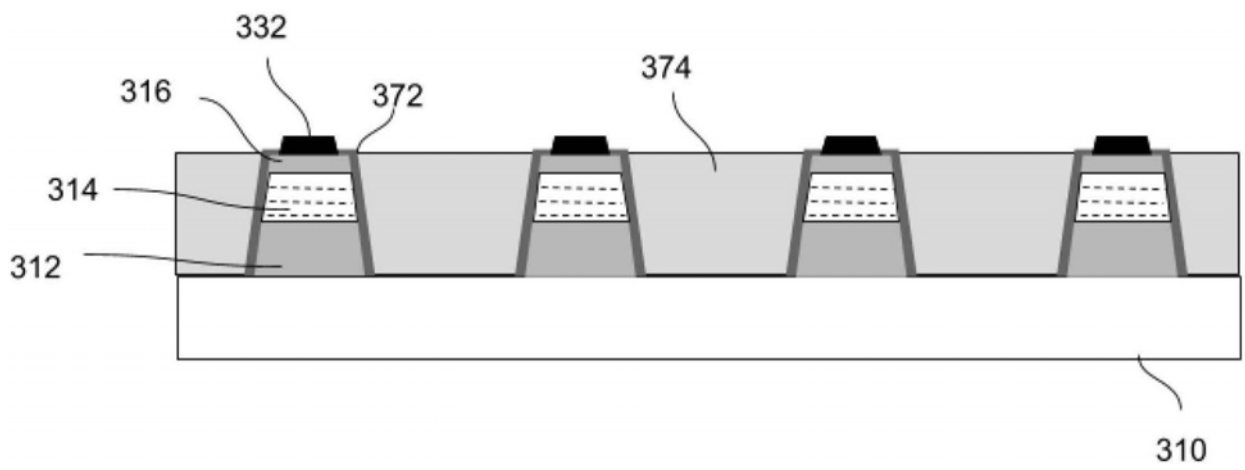


图3B

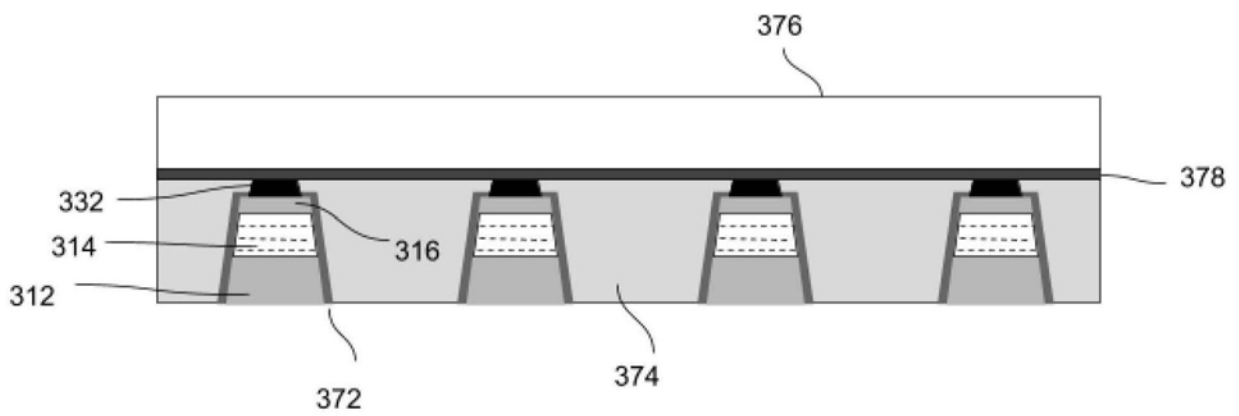


图3C

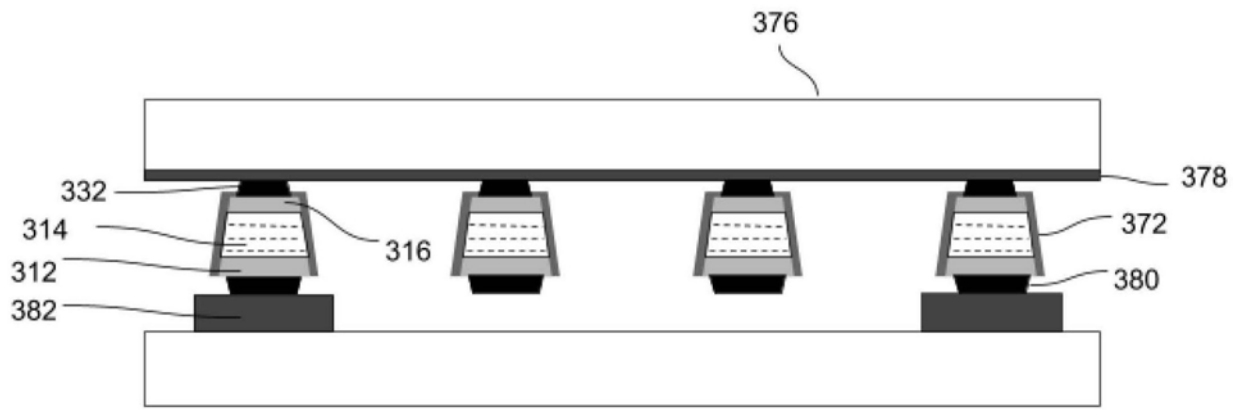


图3D

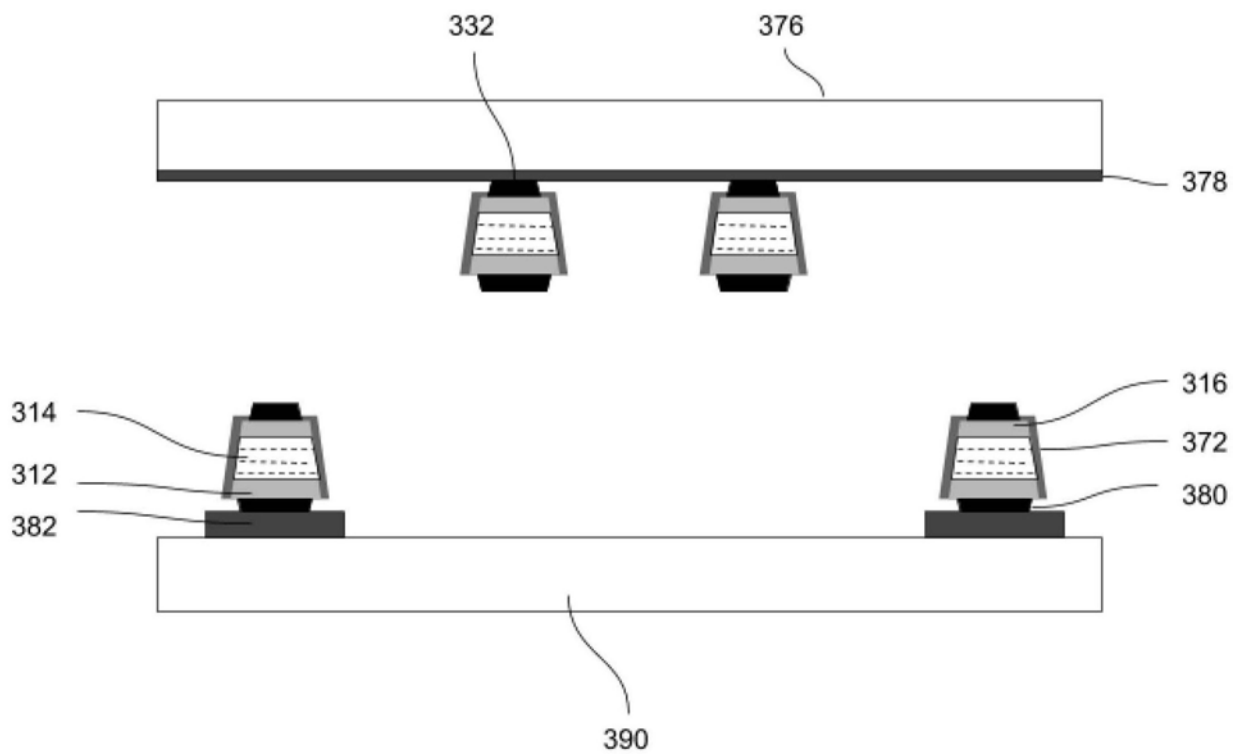


图3E

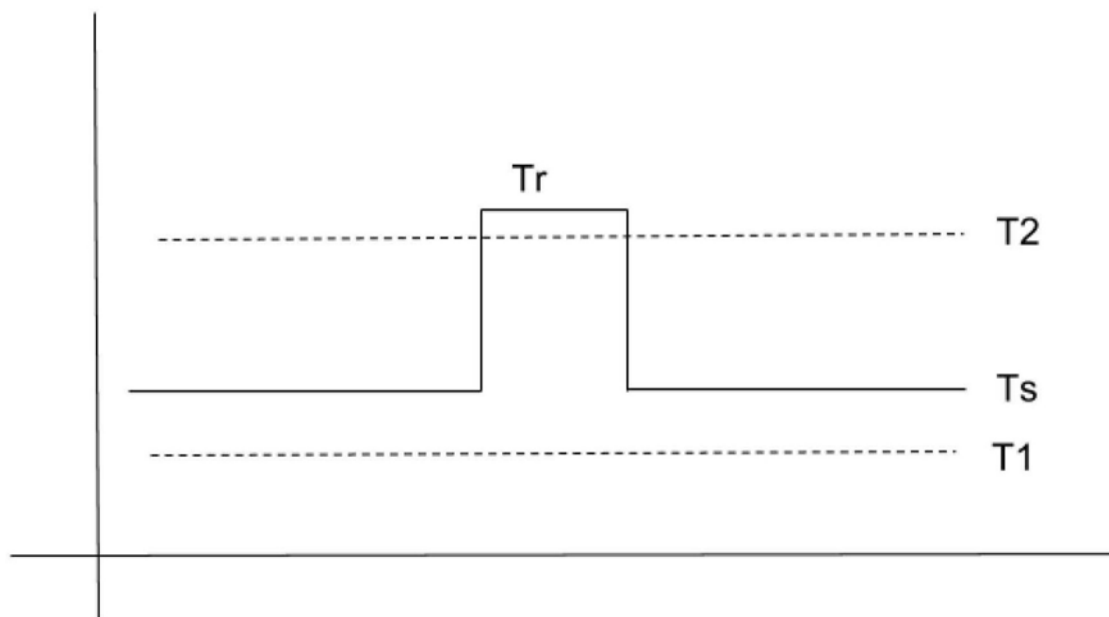


图3F

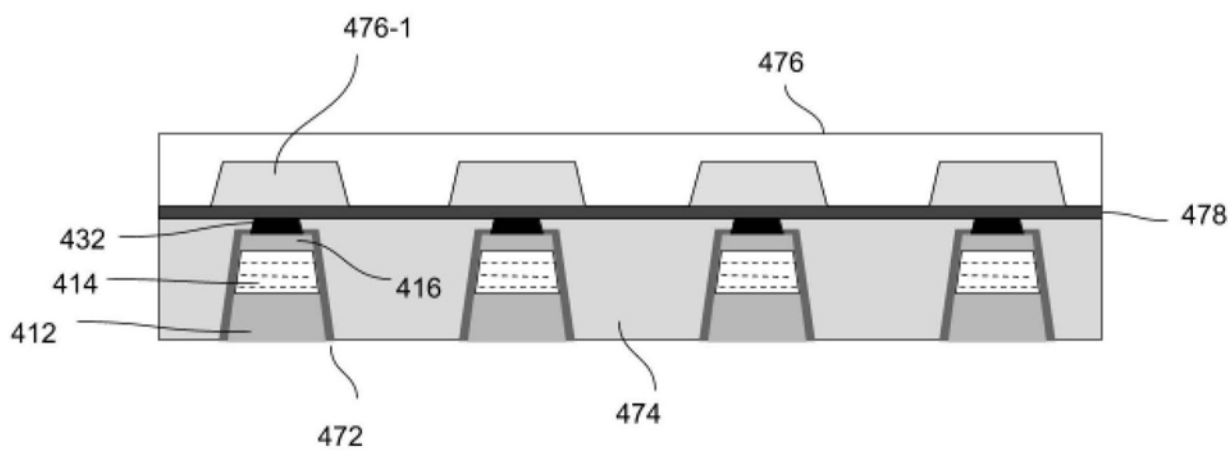


图4A

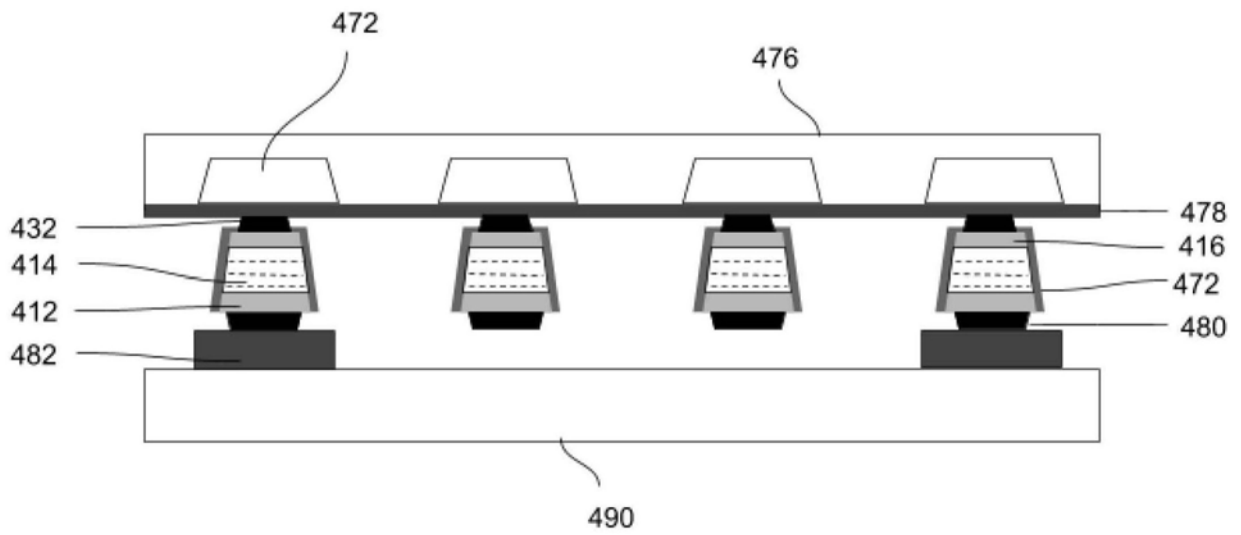


图4B

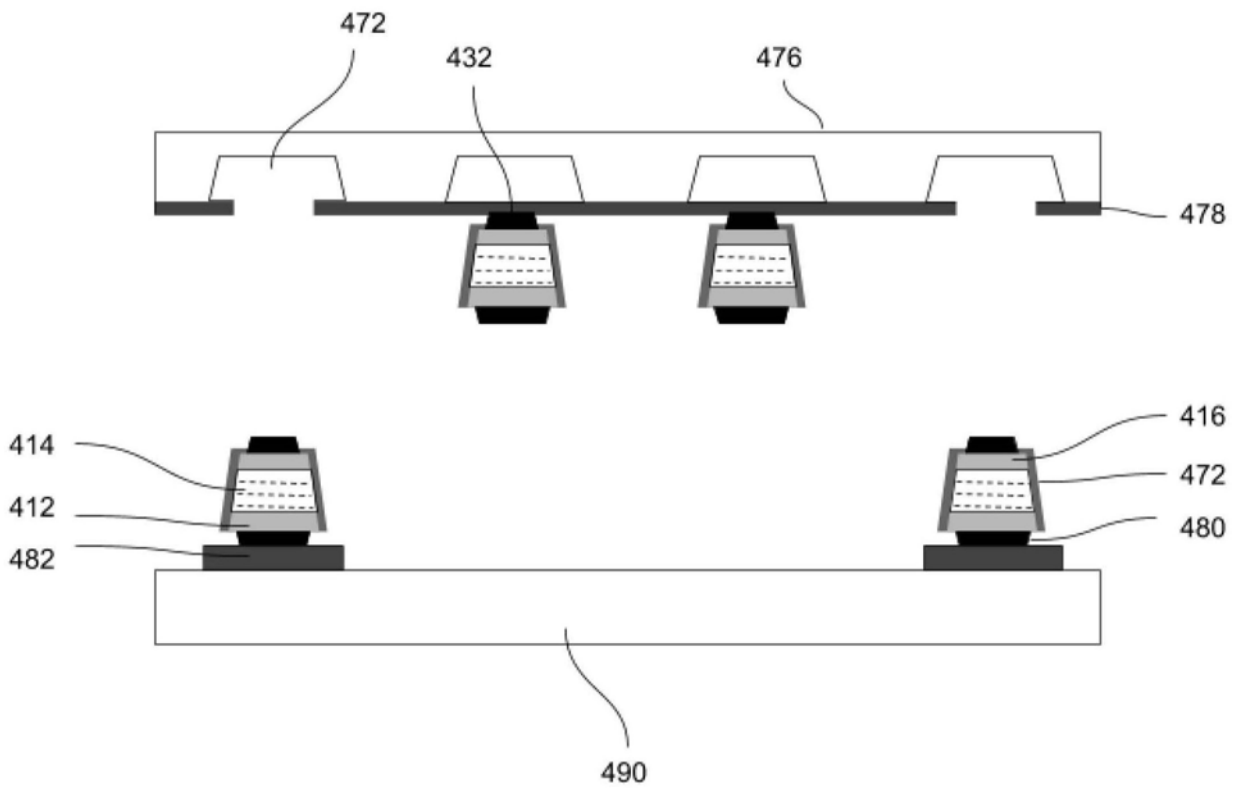


图4C

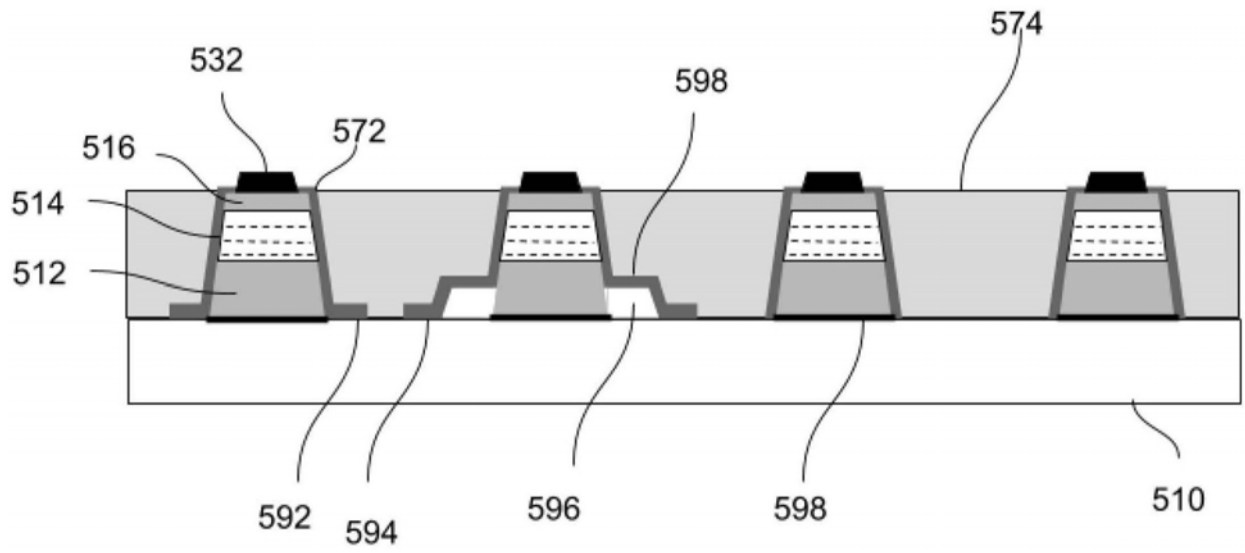


图5A

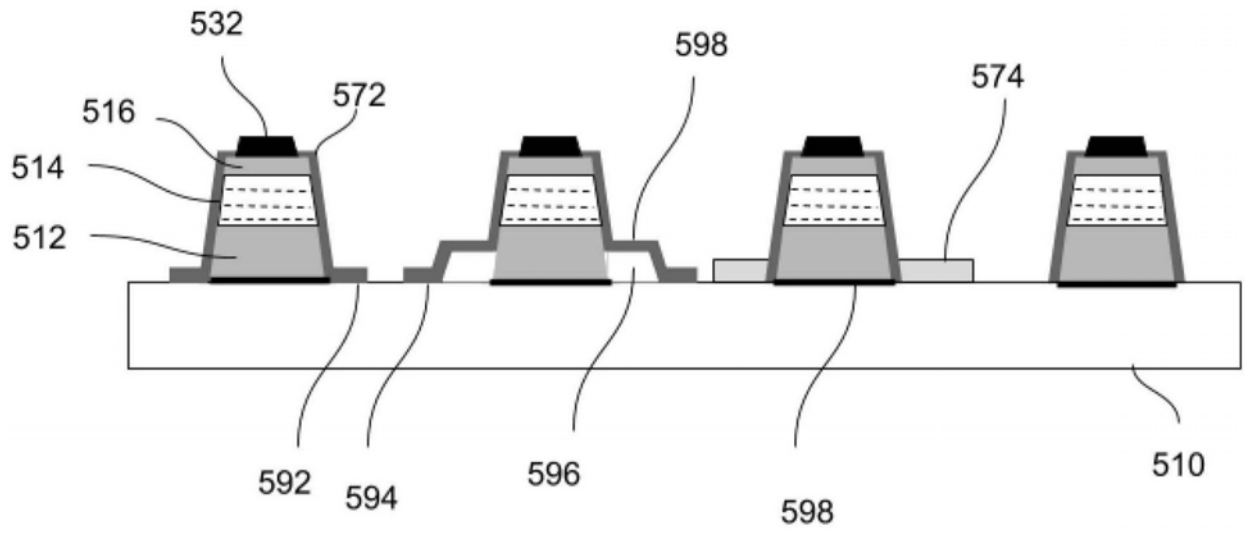


图5B

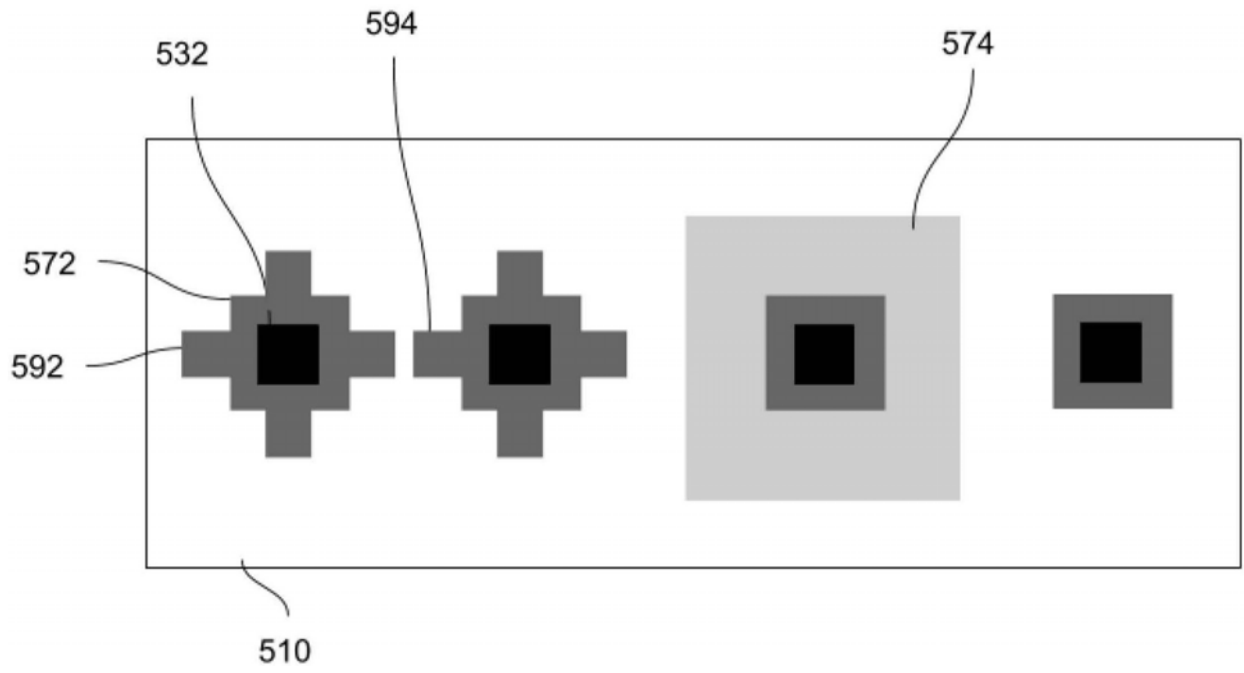


图5C

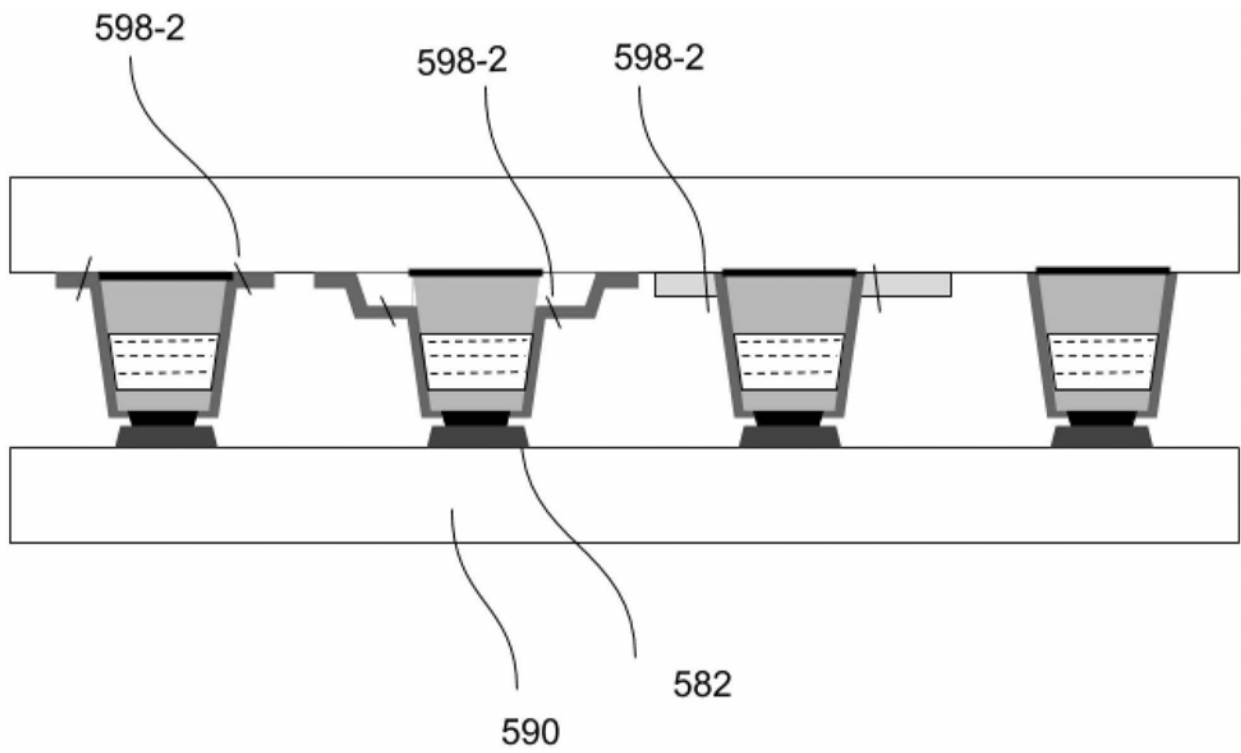


图5D

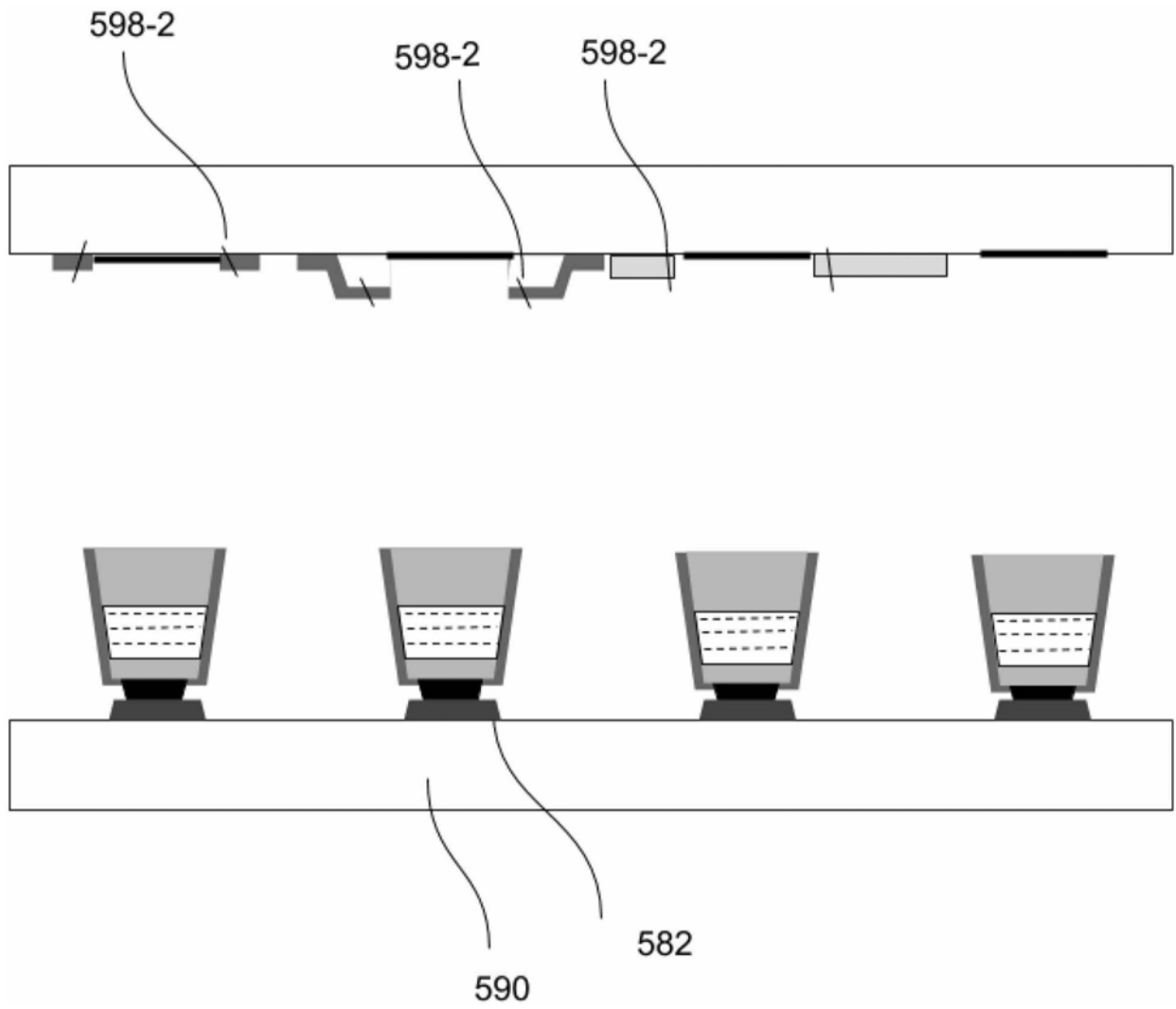


图5E

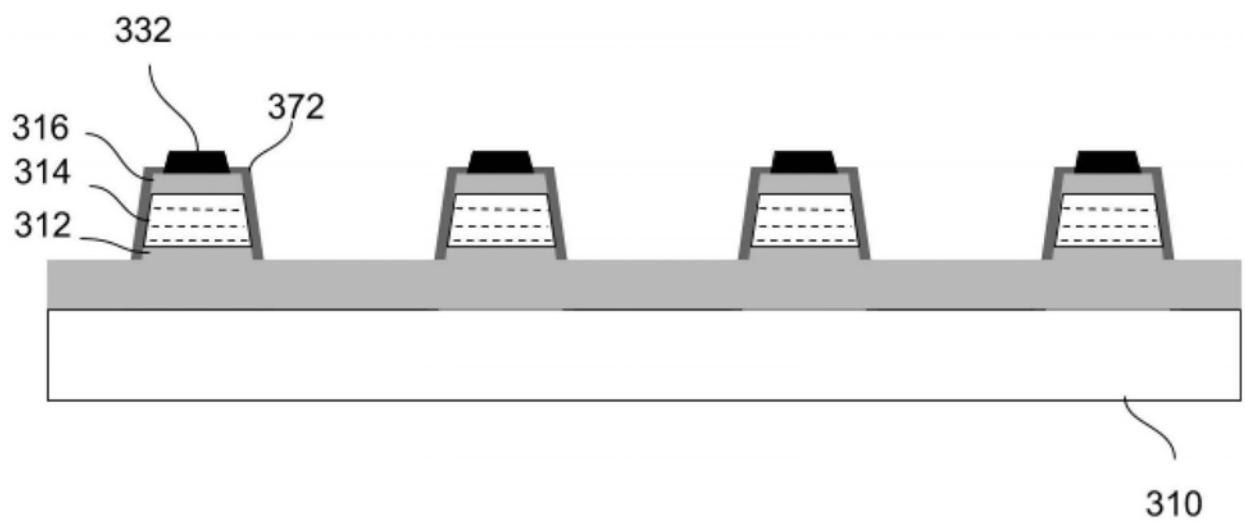


图6A

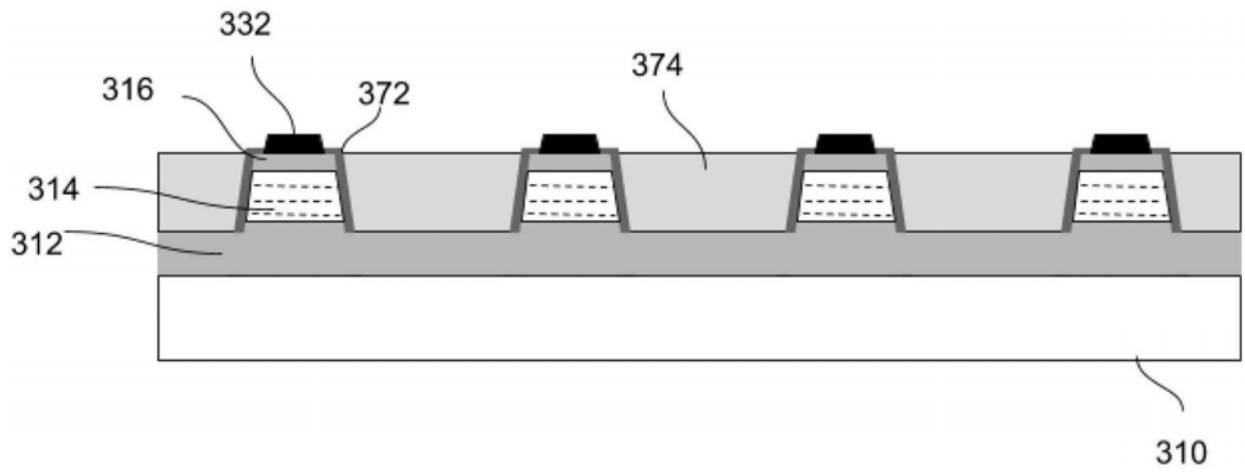


图6B

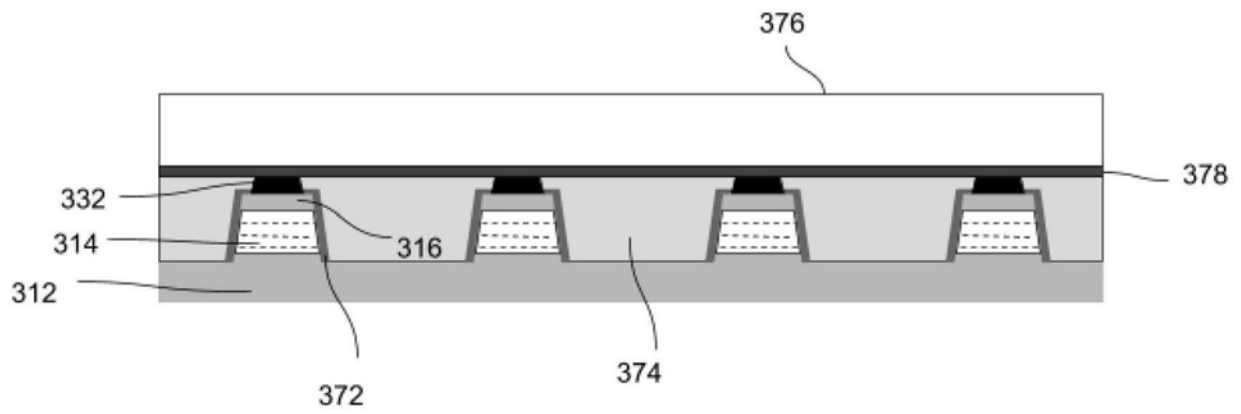


图6C

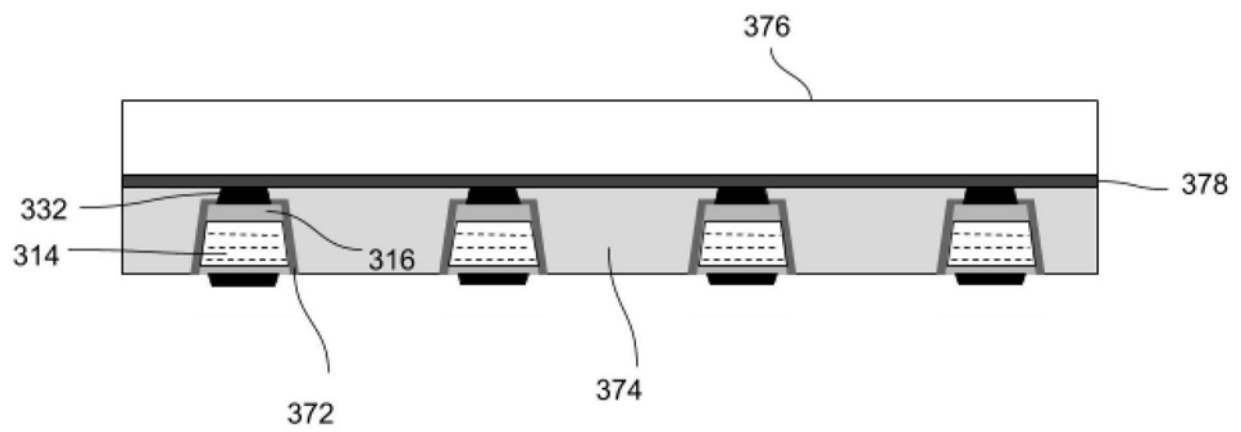


图6D

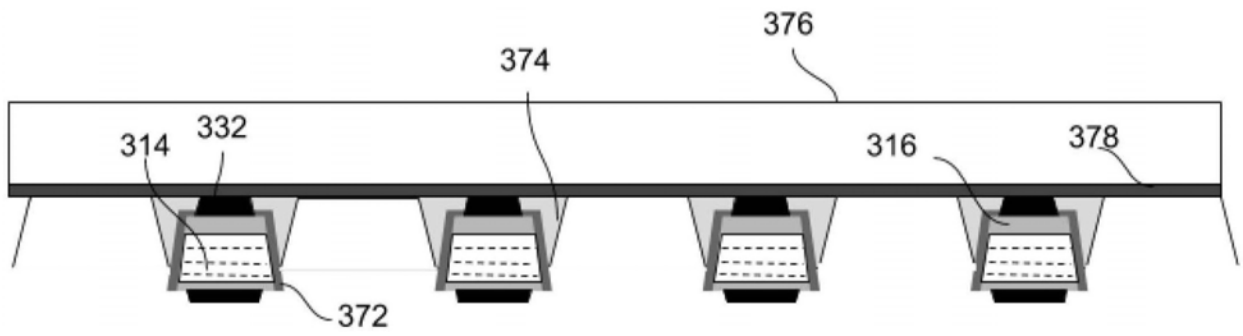


图6E

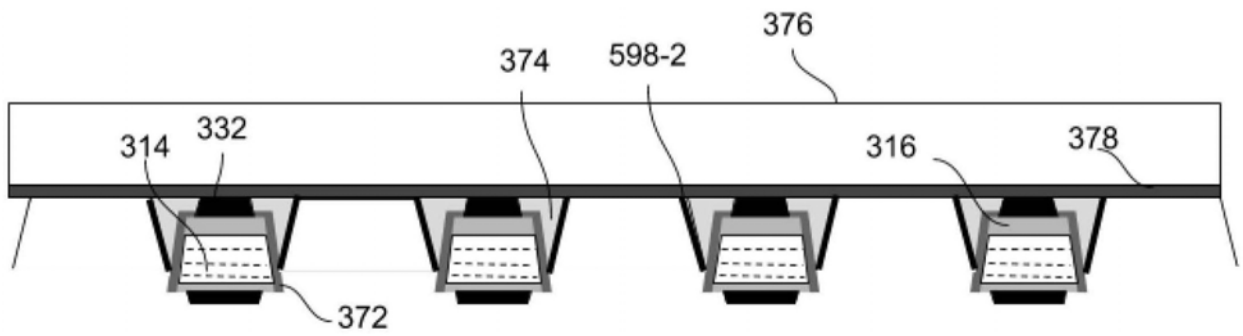


图6F

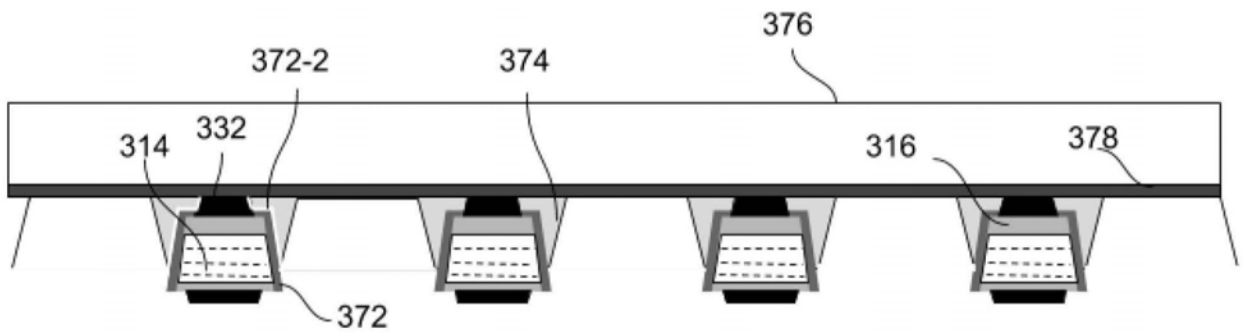


图6G



图6H

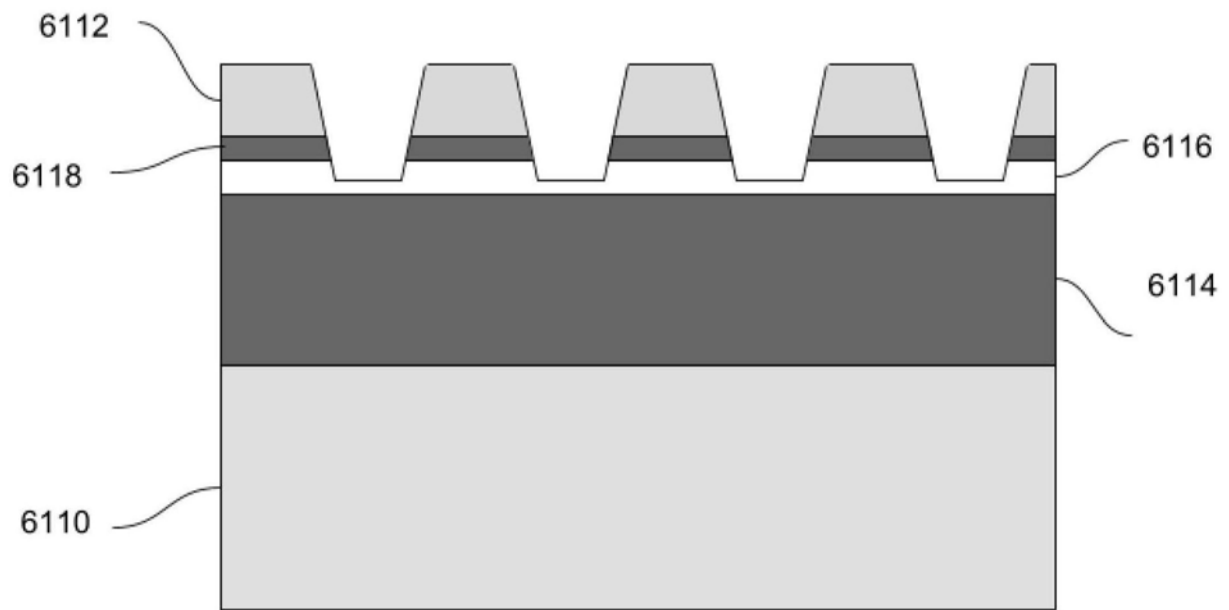


图6I

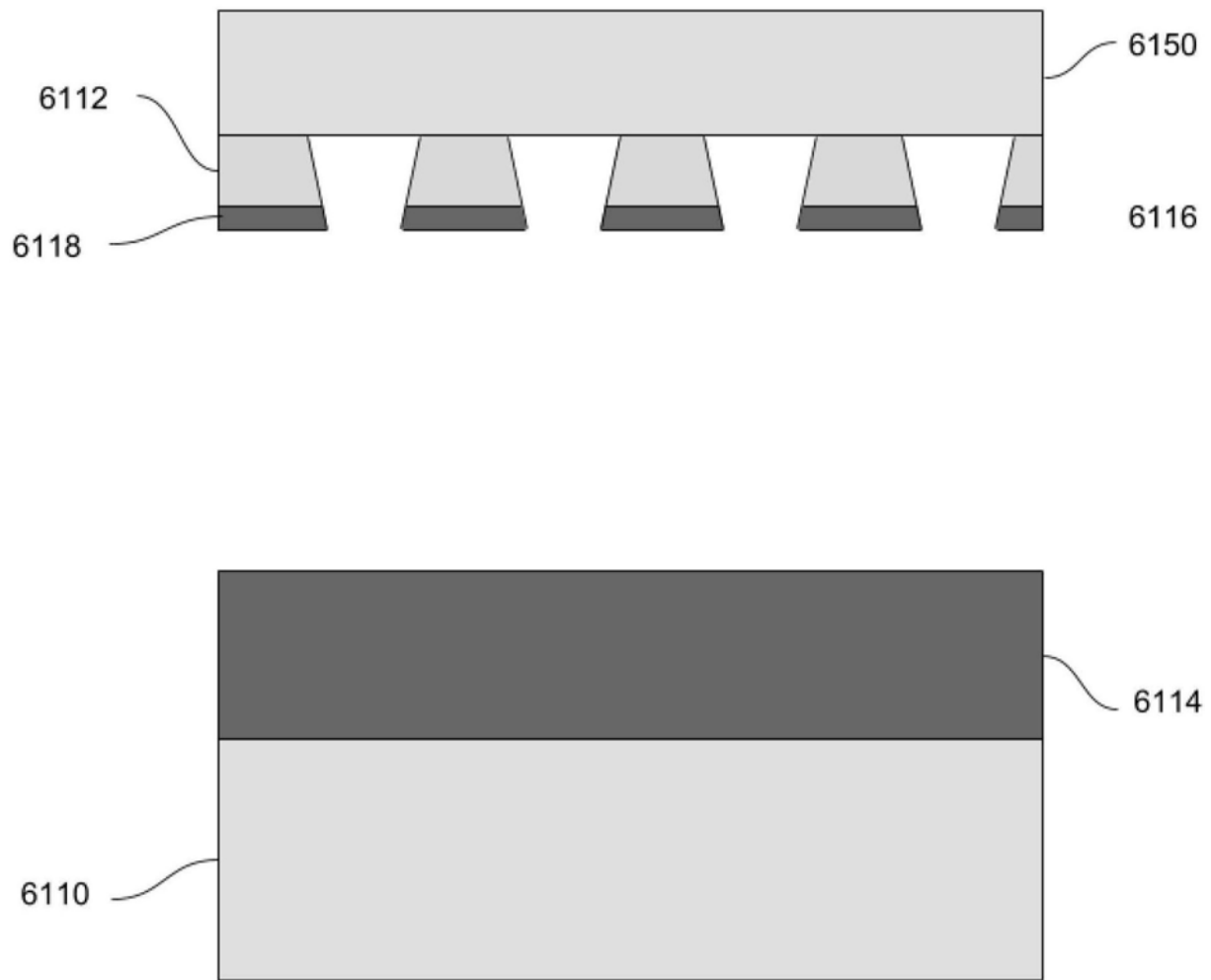


图6J

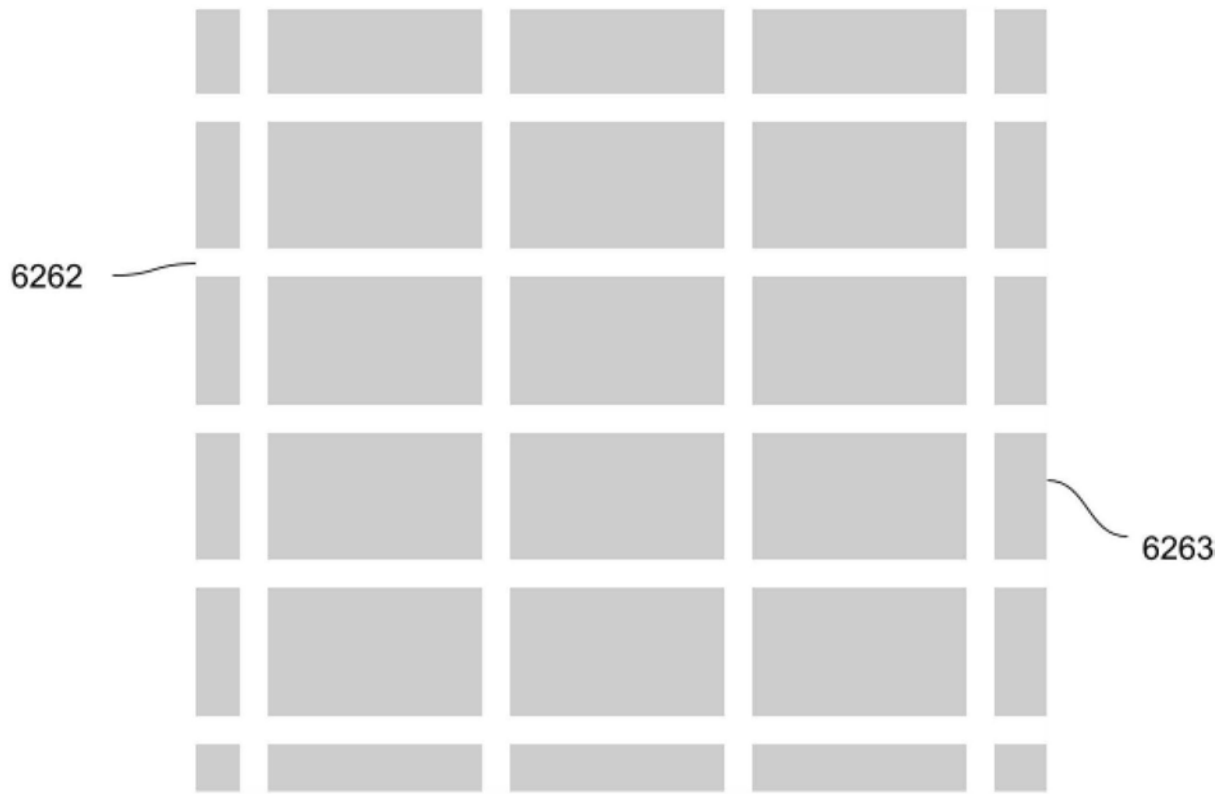


图6K

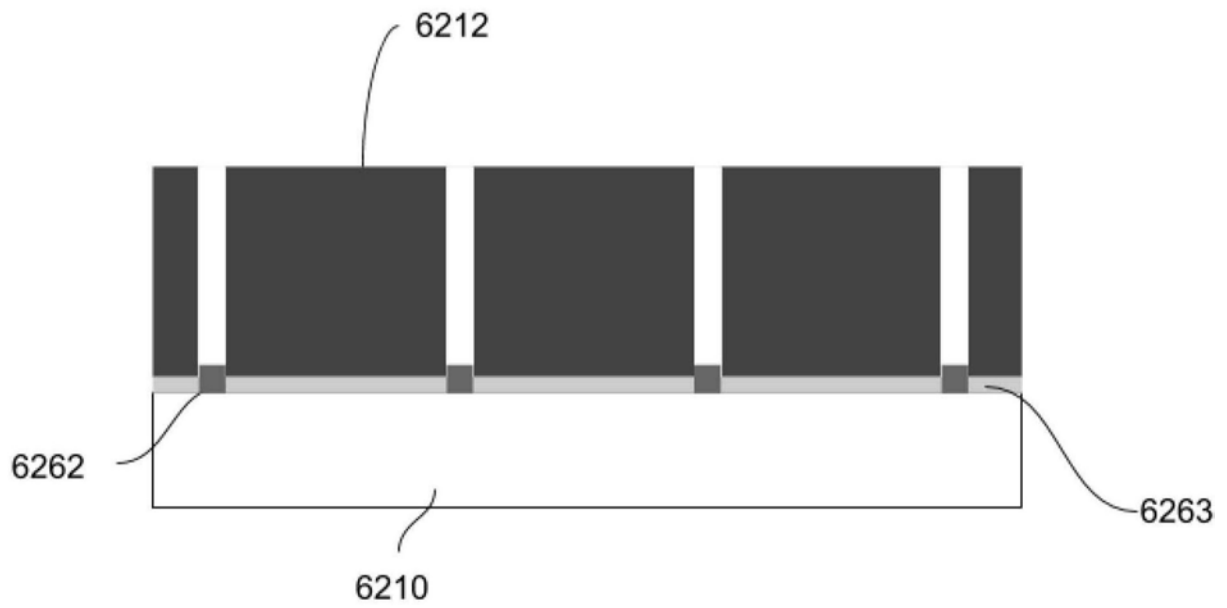


图6L

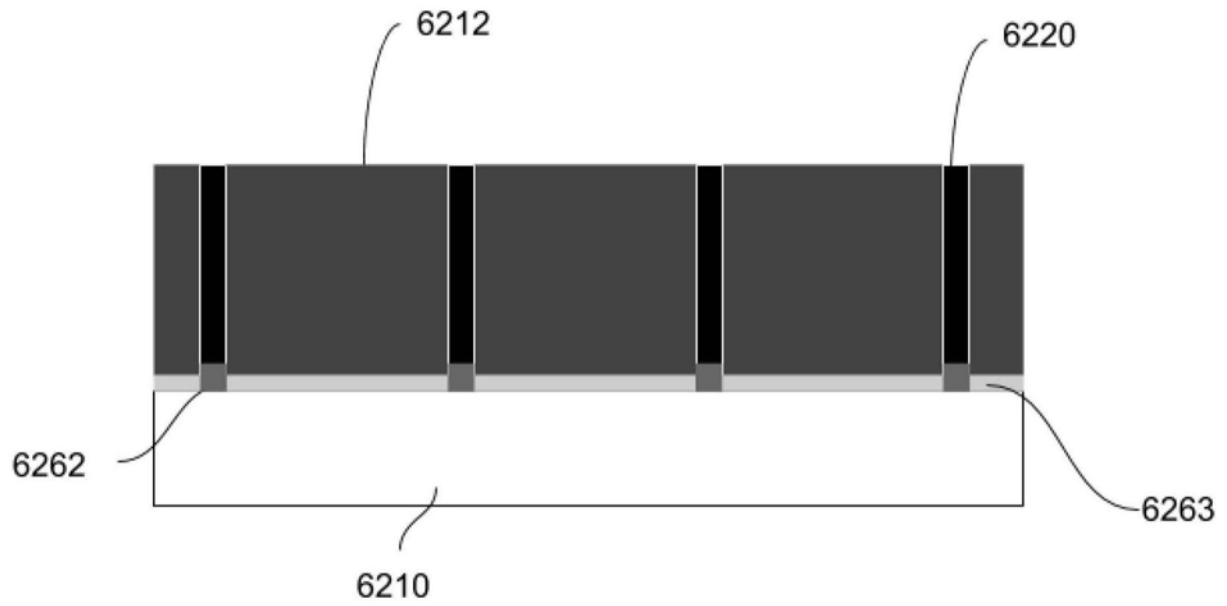


图6M

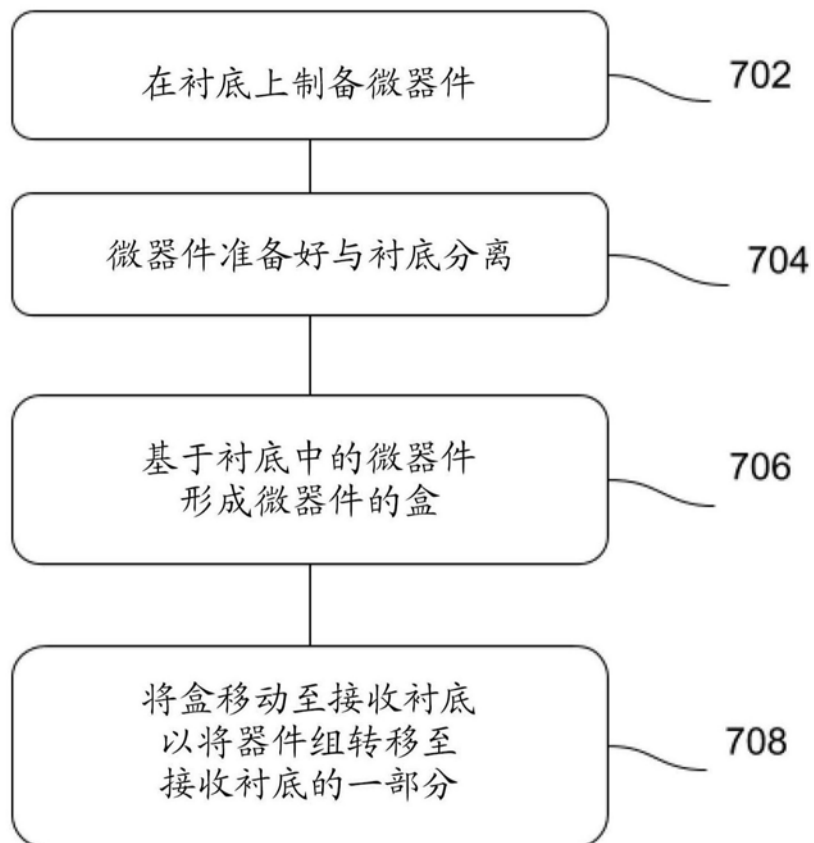


图7A

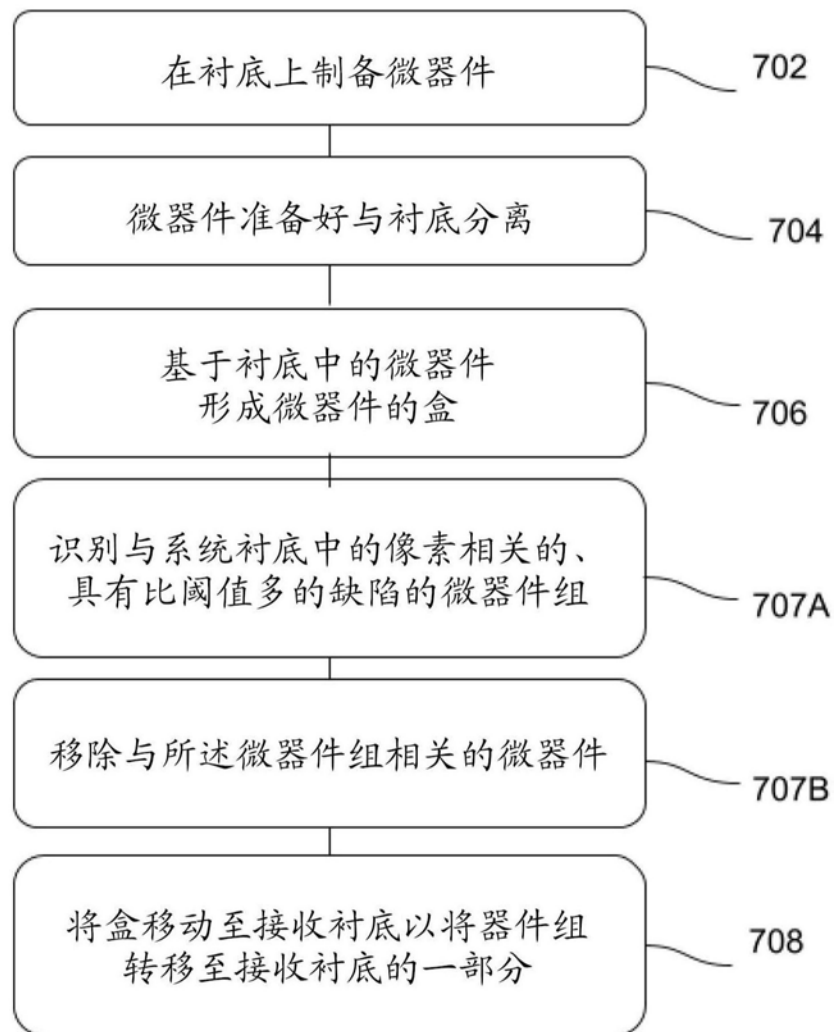


图7B

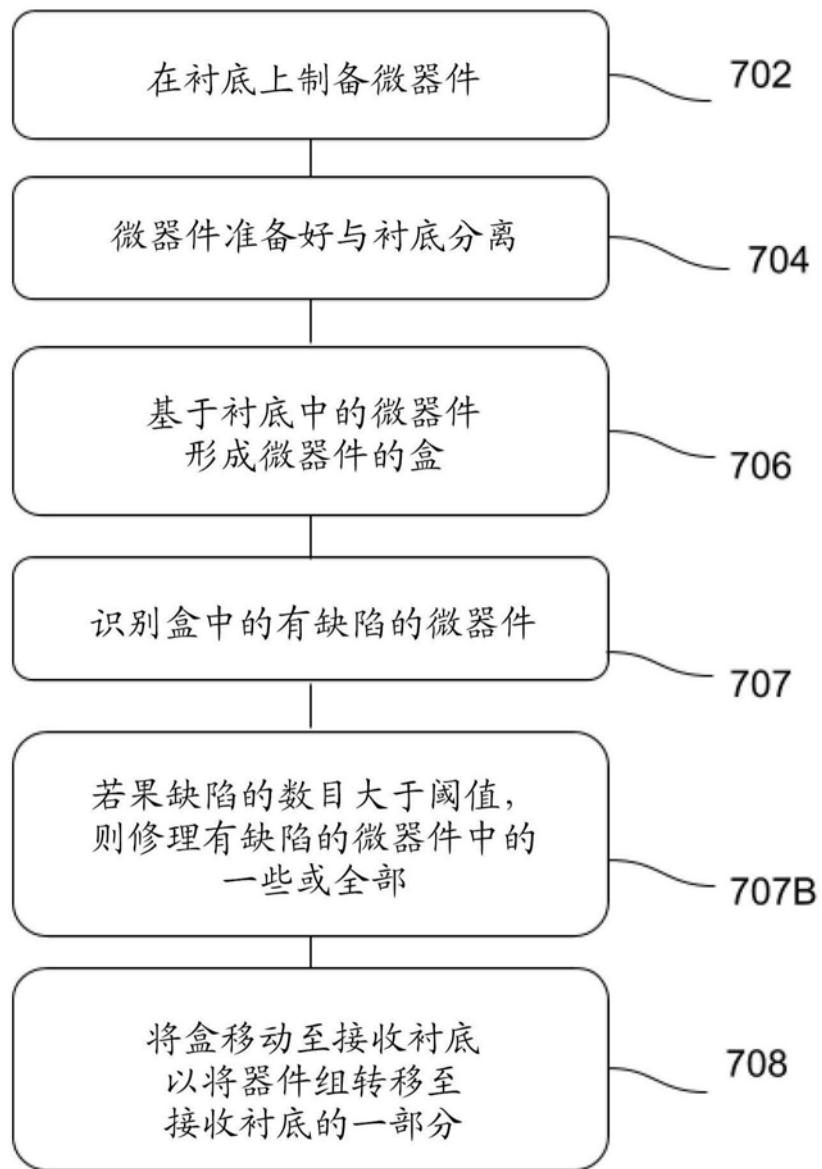


图7C

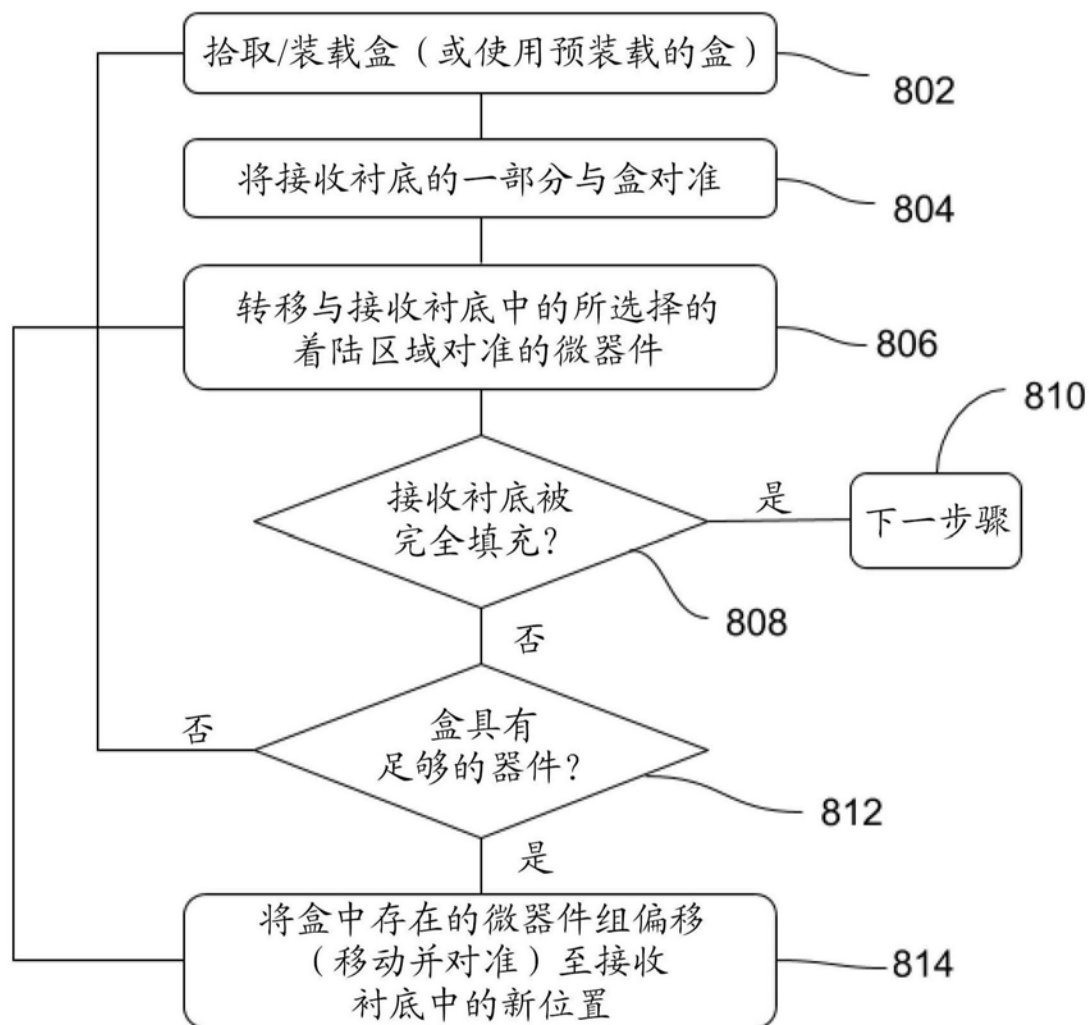


图8

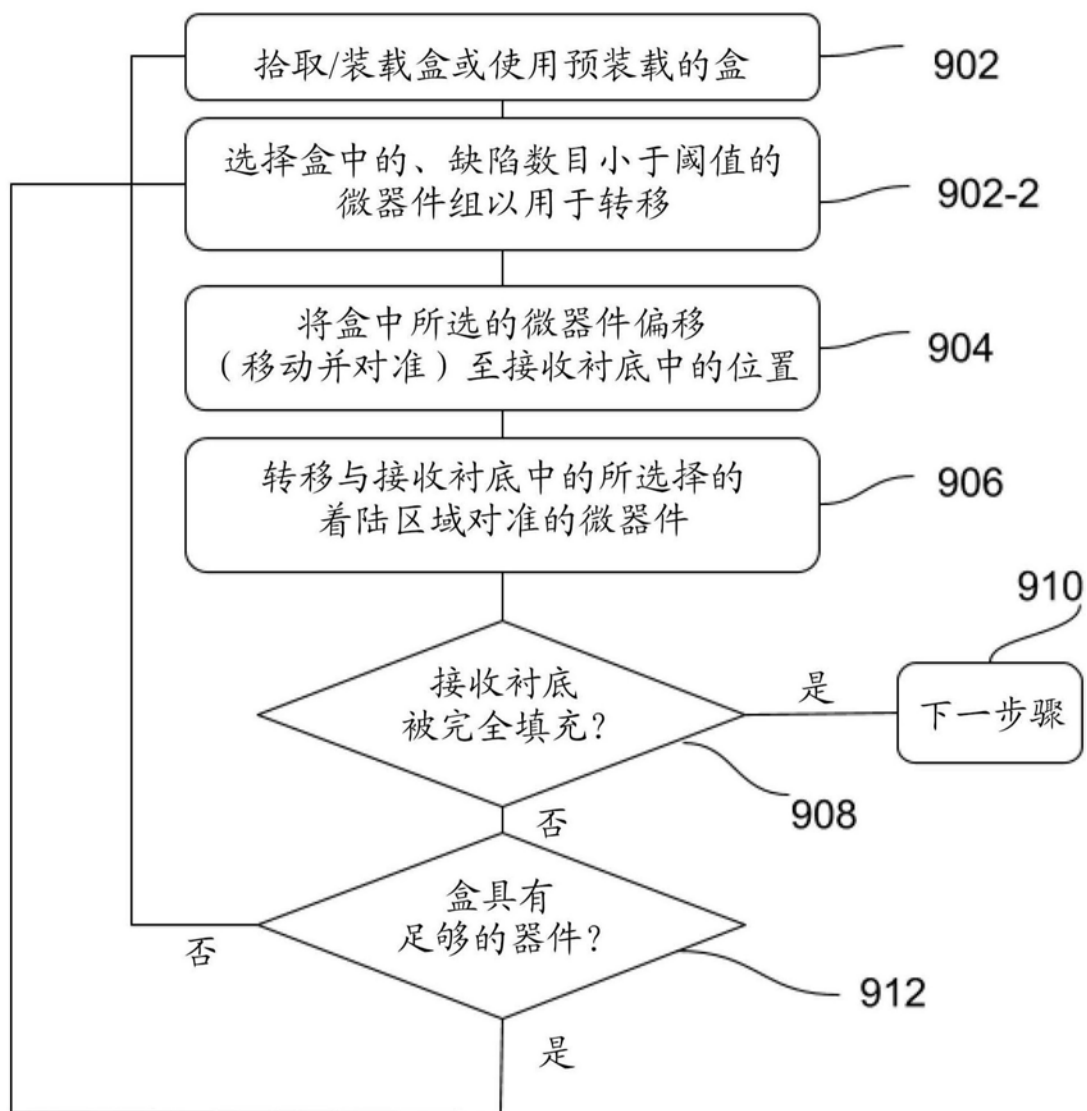


图9A

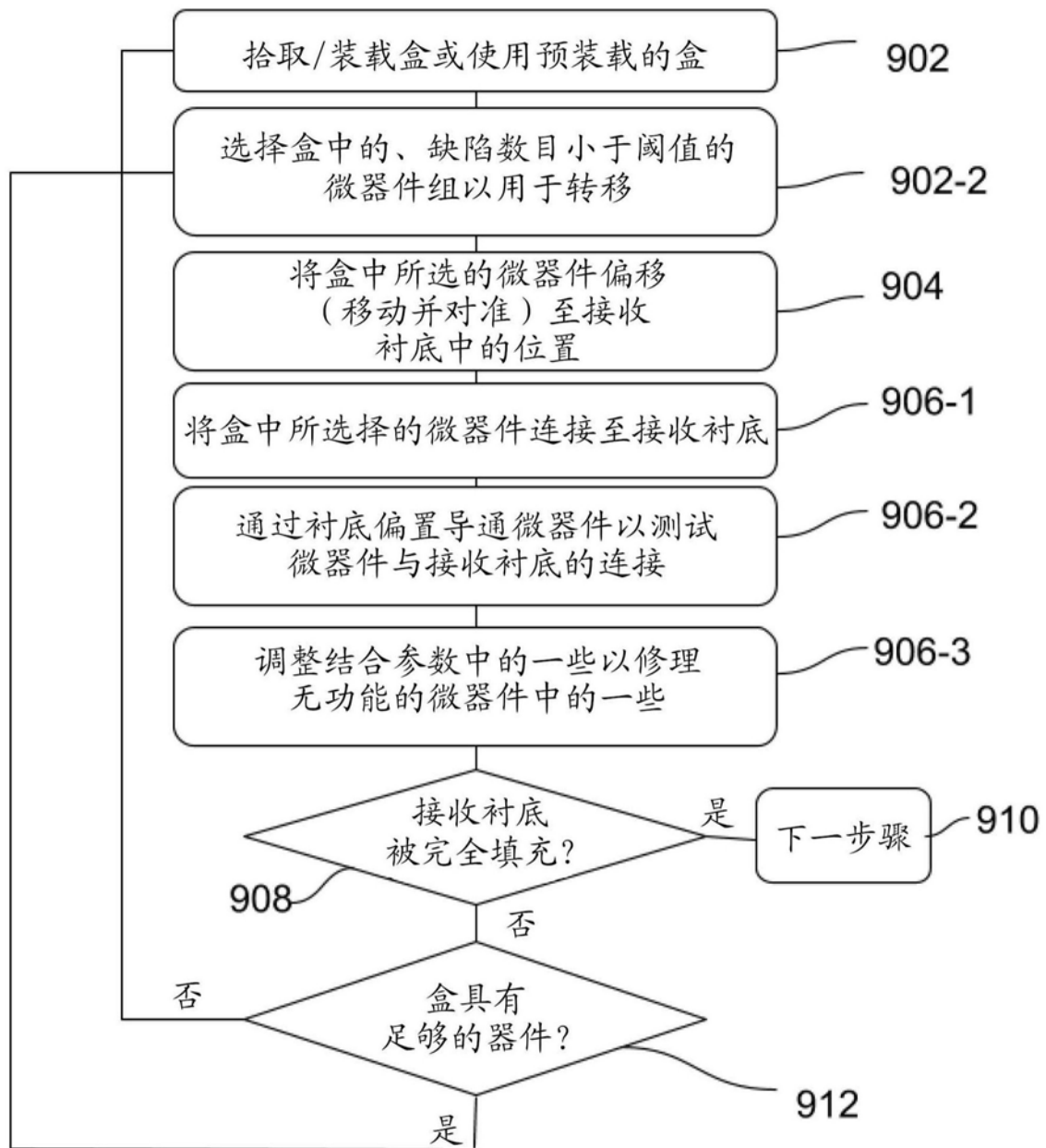


图9B

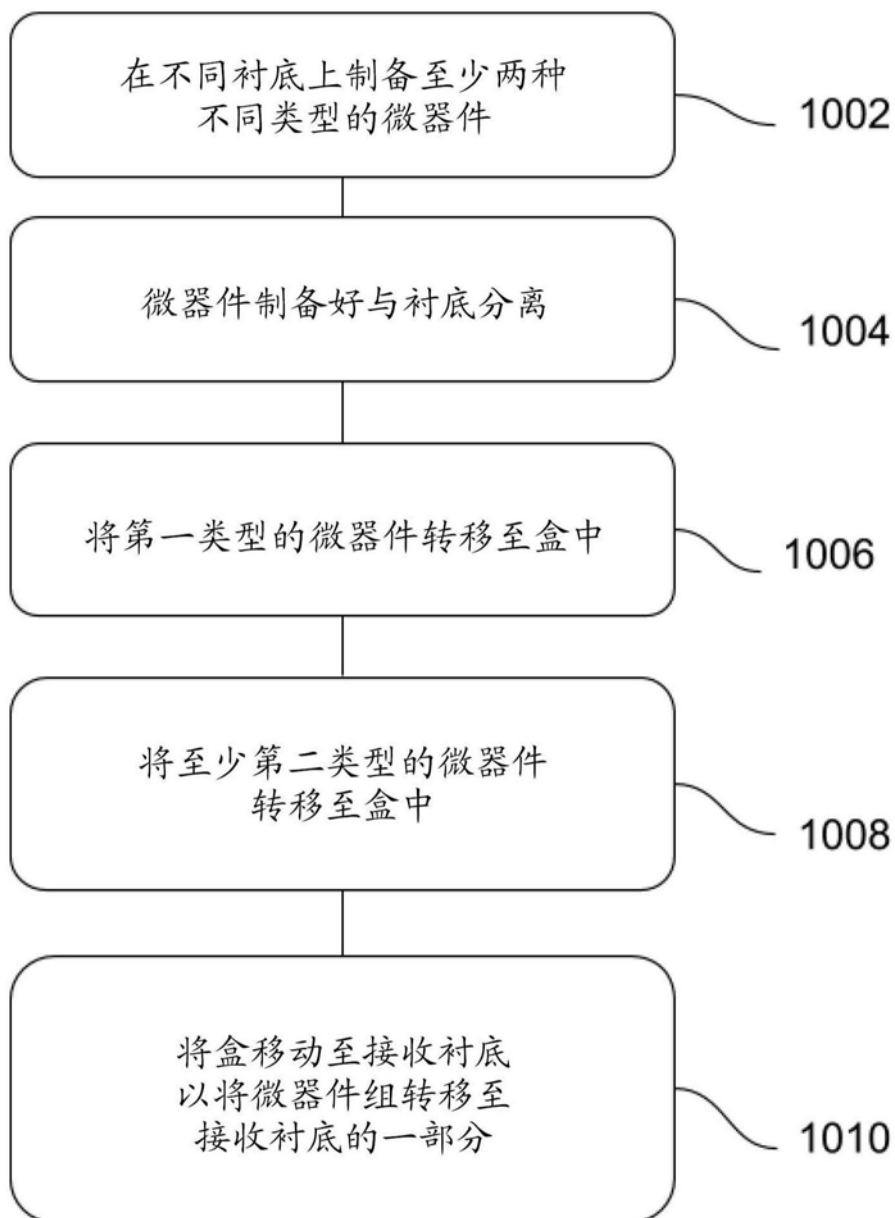


图10

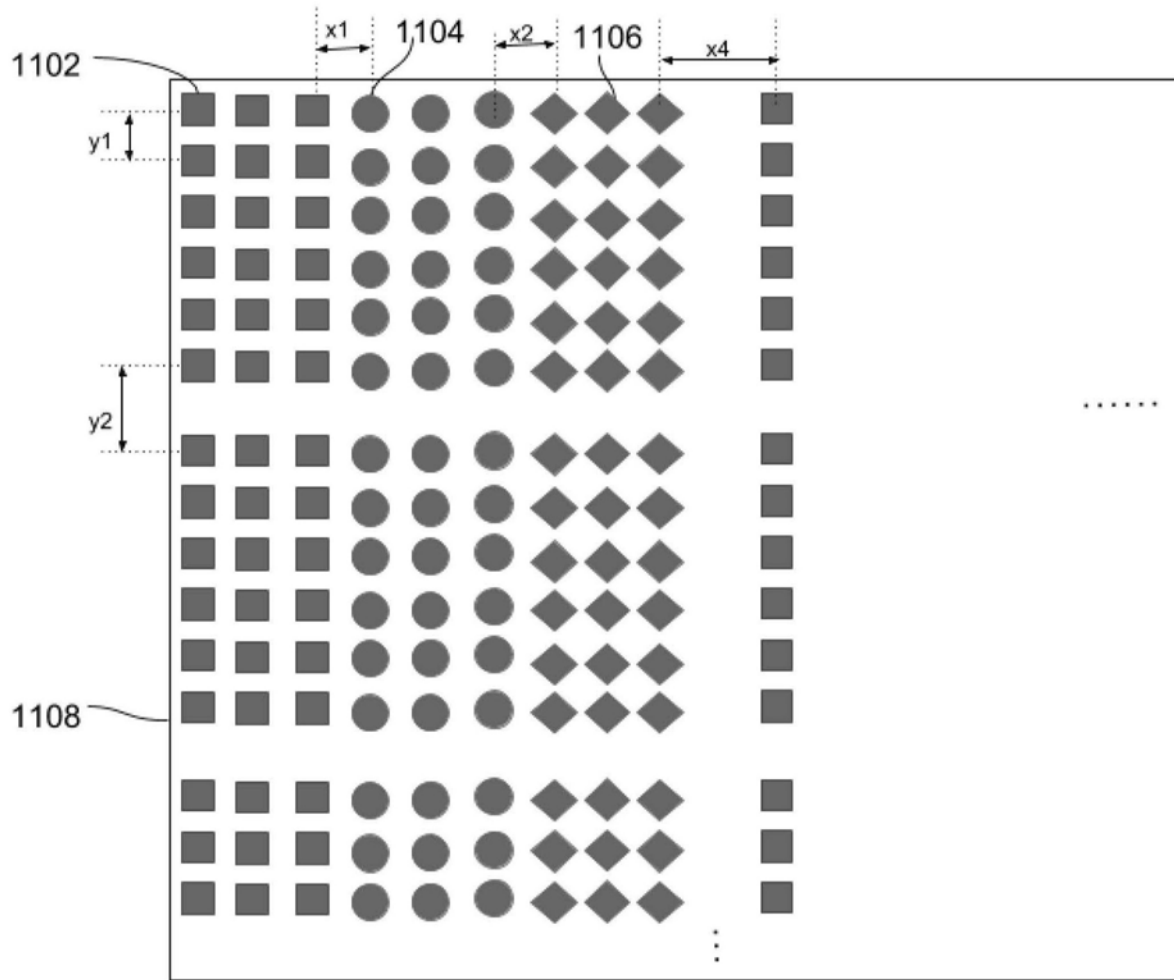


图11B

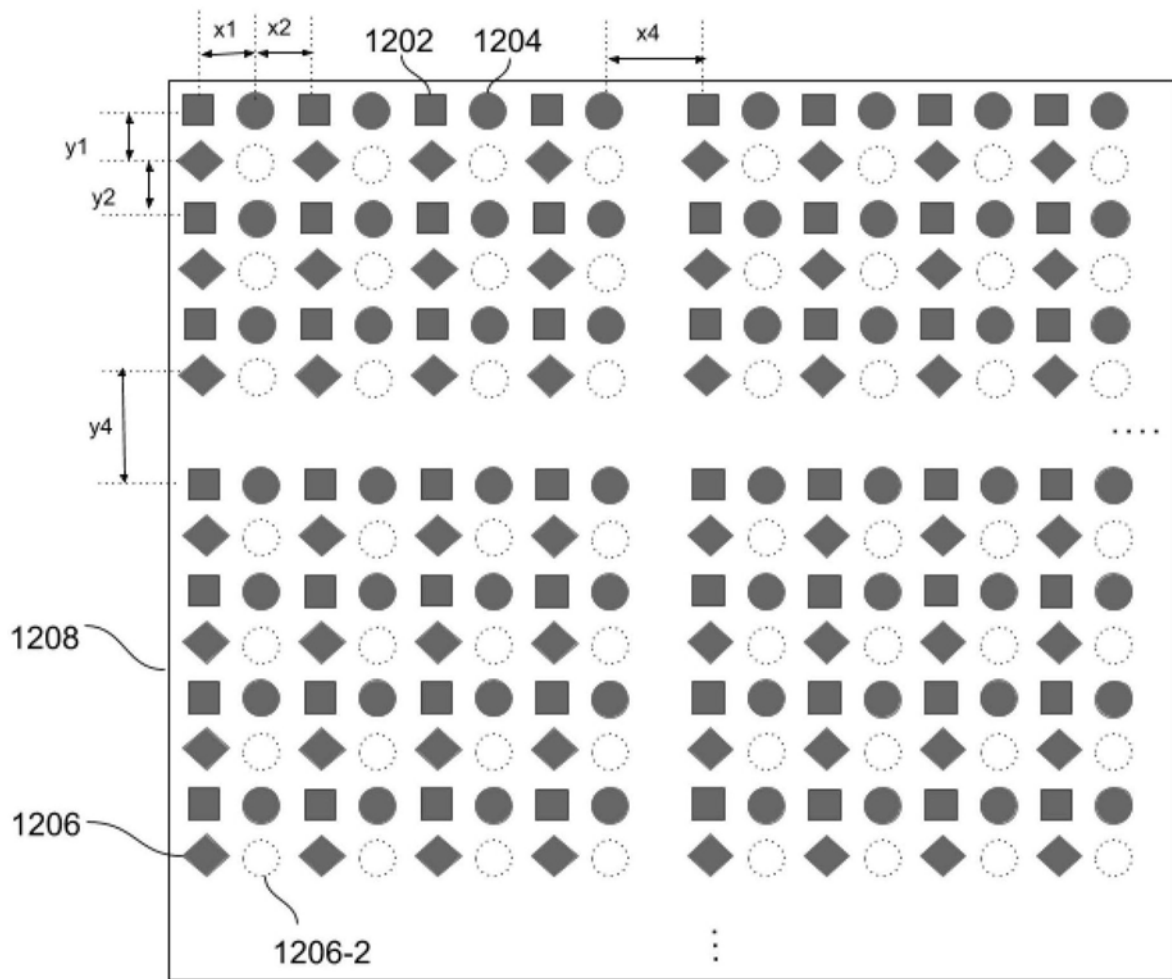


图12A

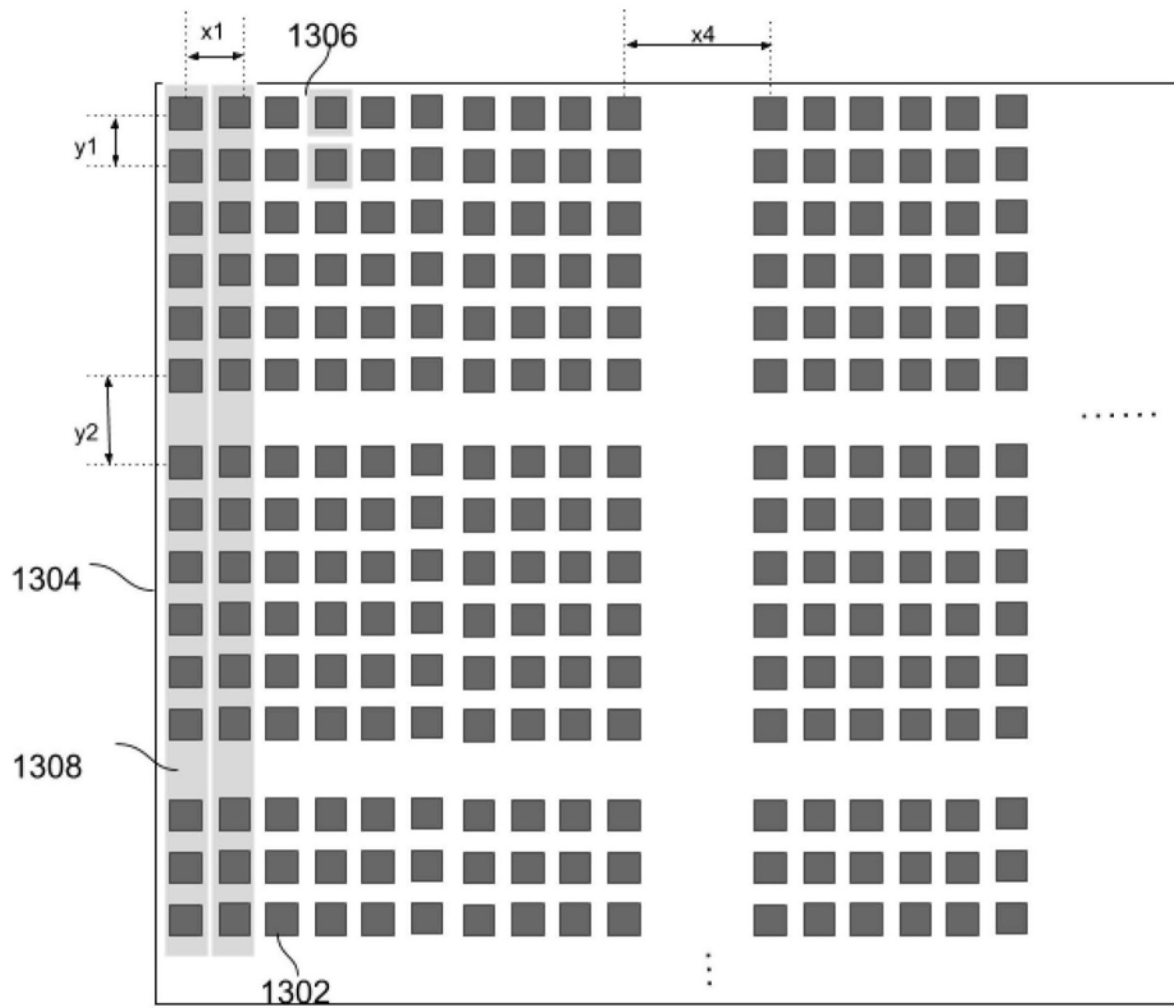


图13

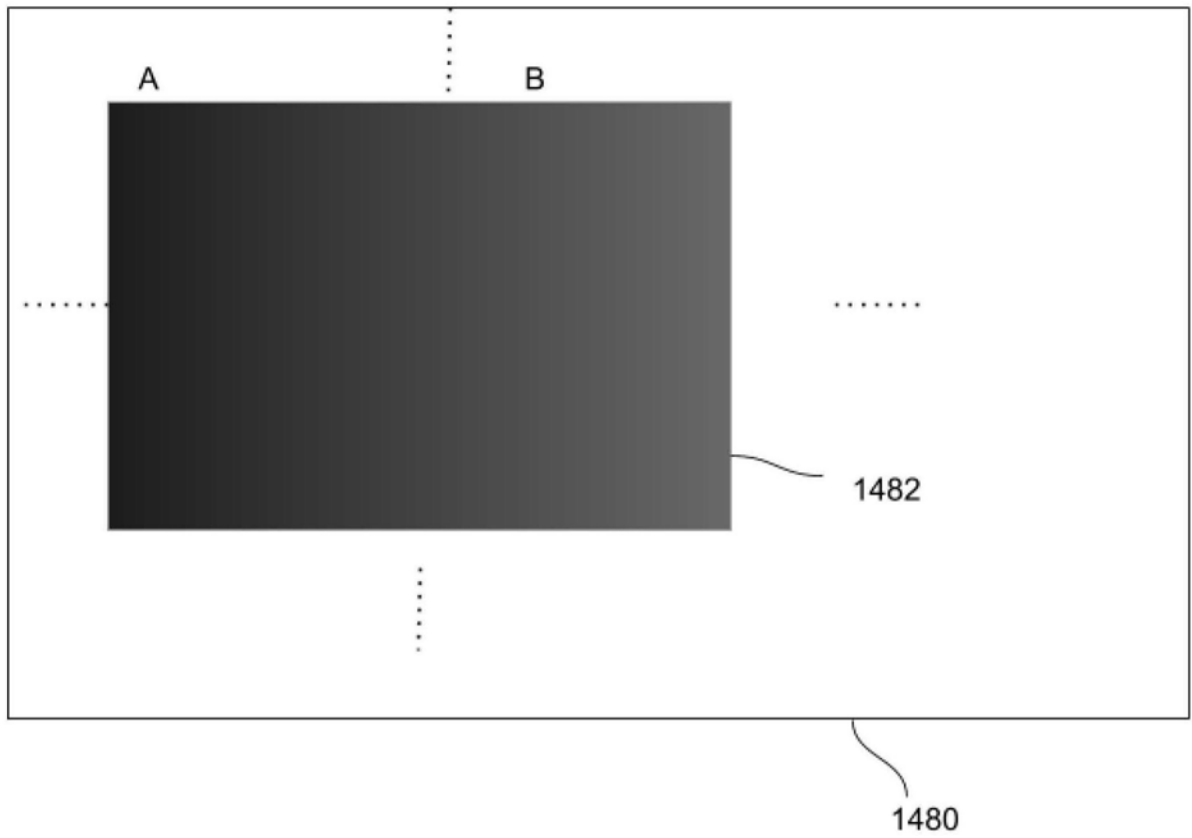


图14A

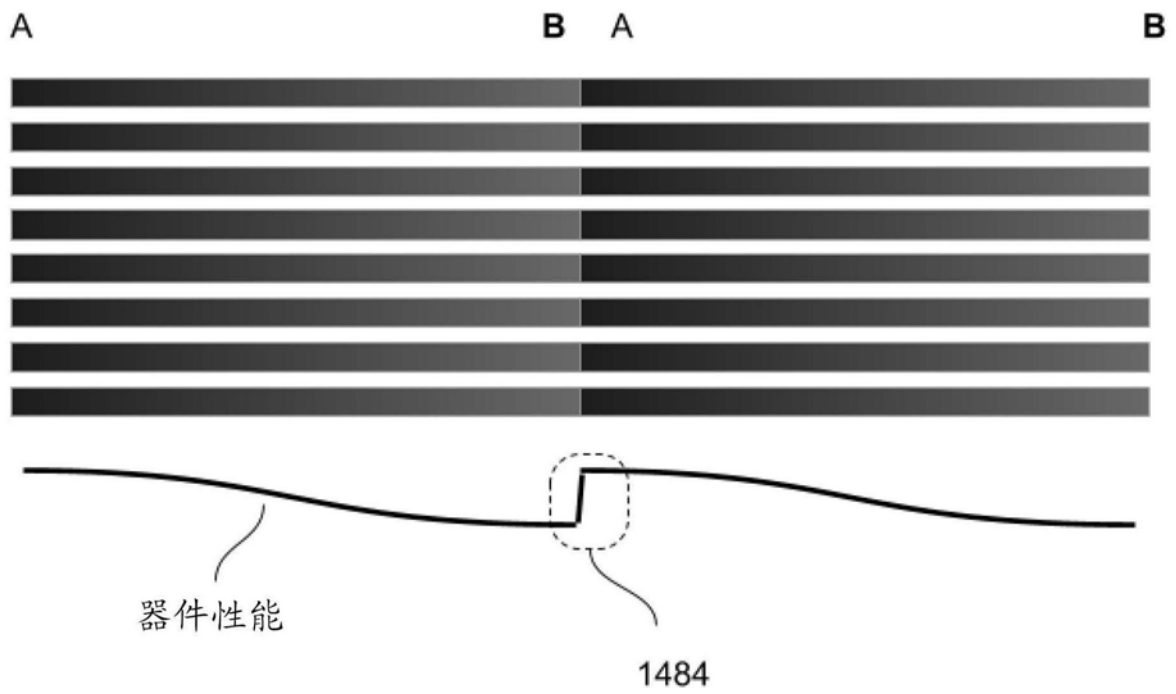


图14B

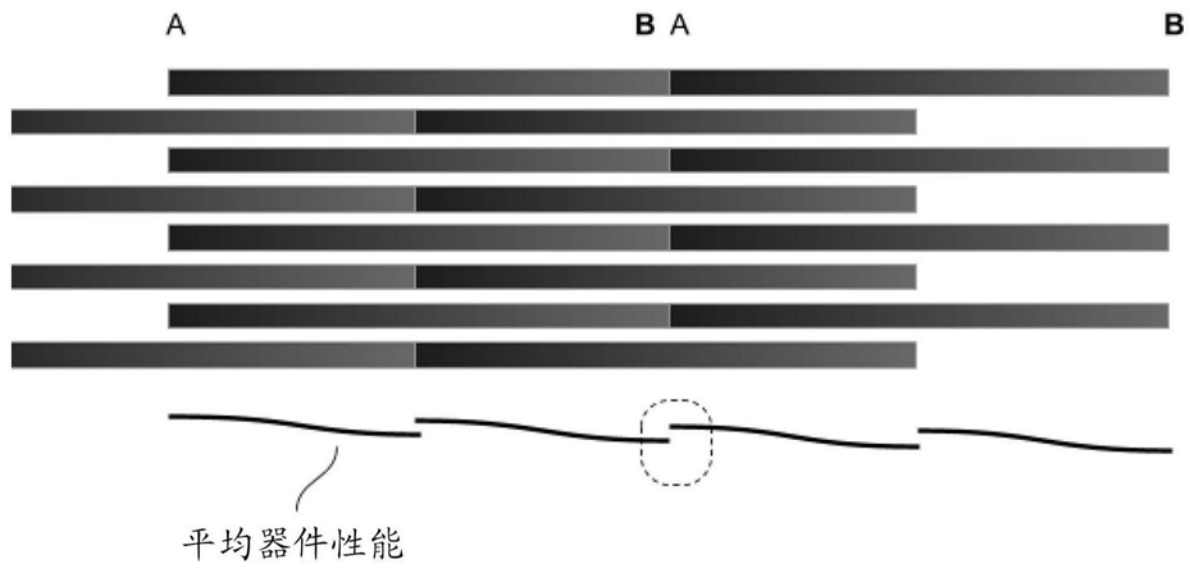


图14C

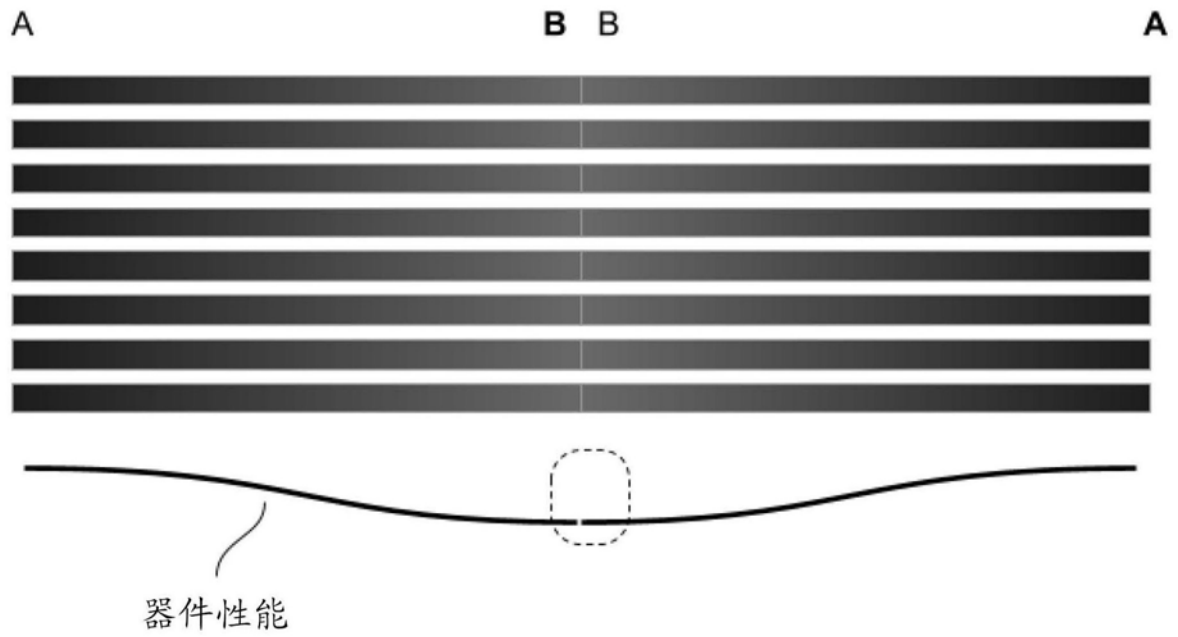


图14D

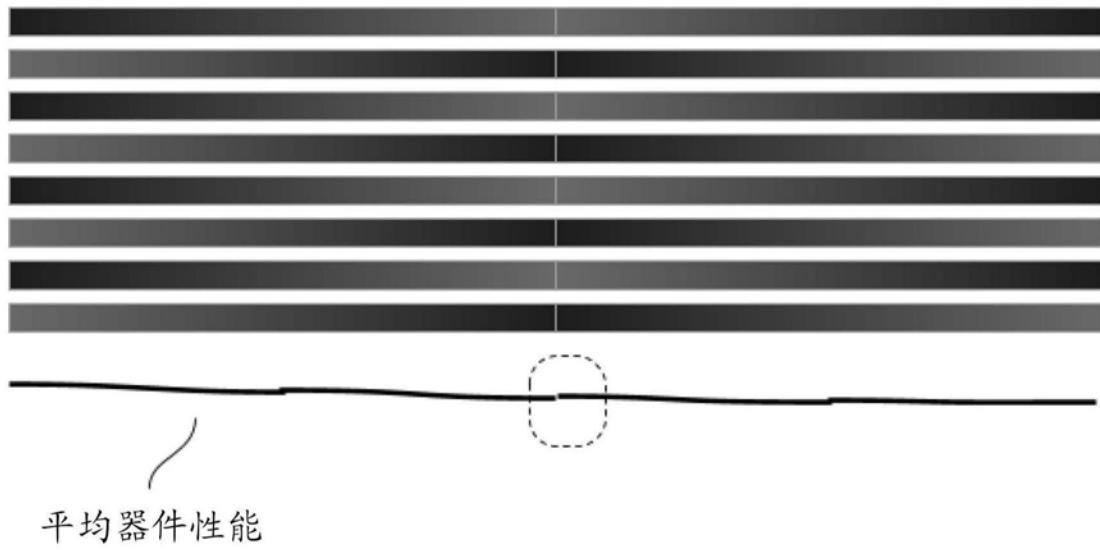


图14E

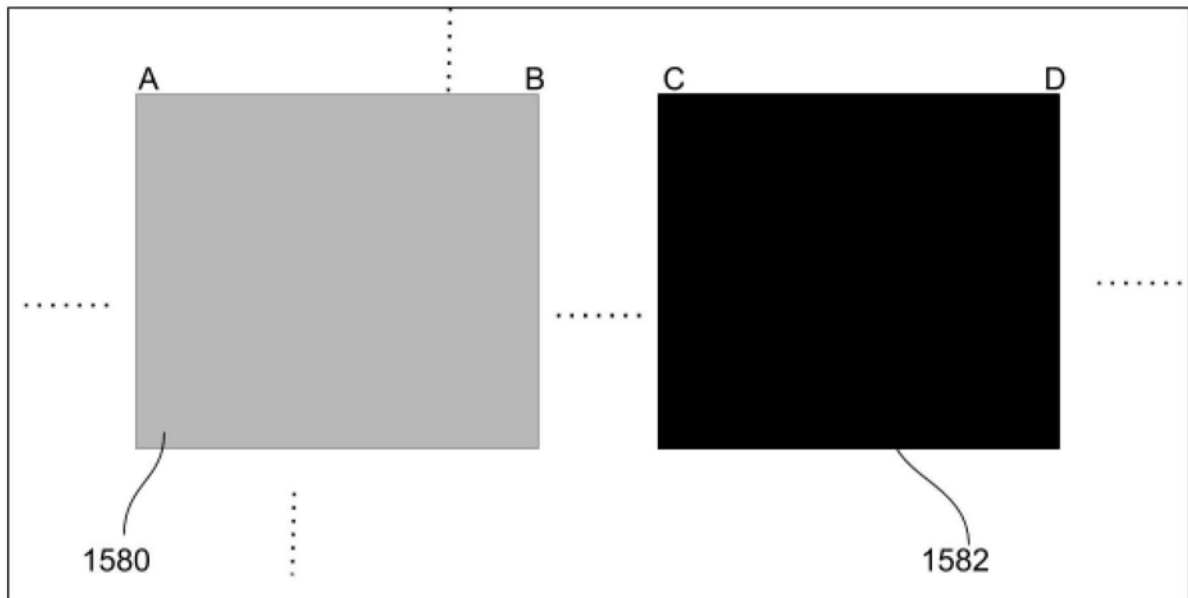


图15A

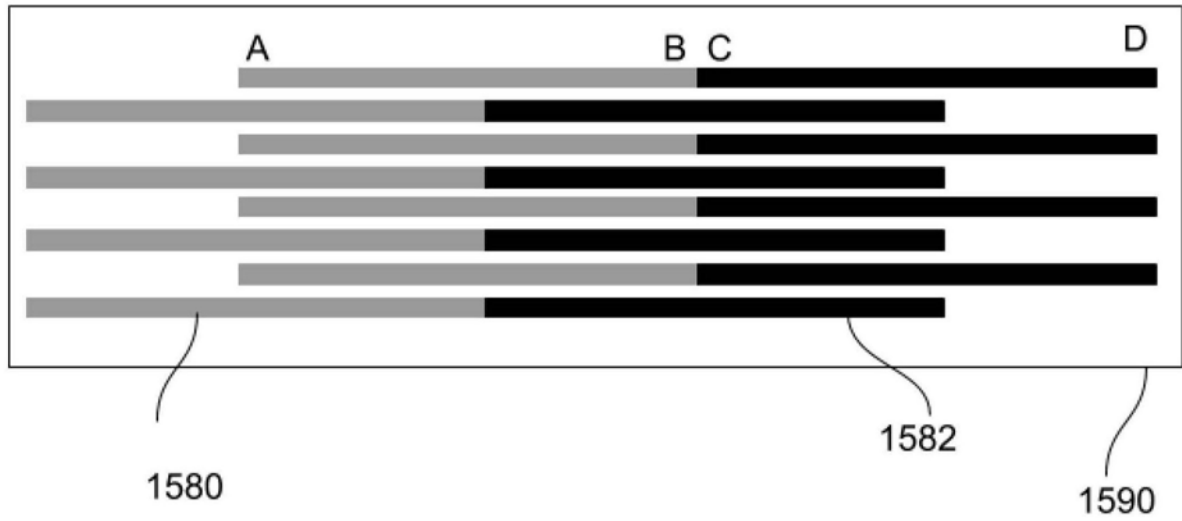


图15B

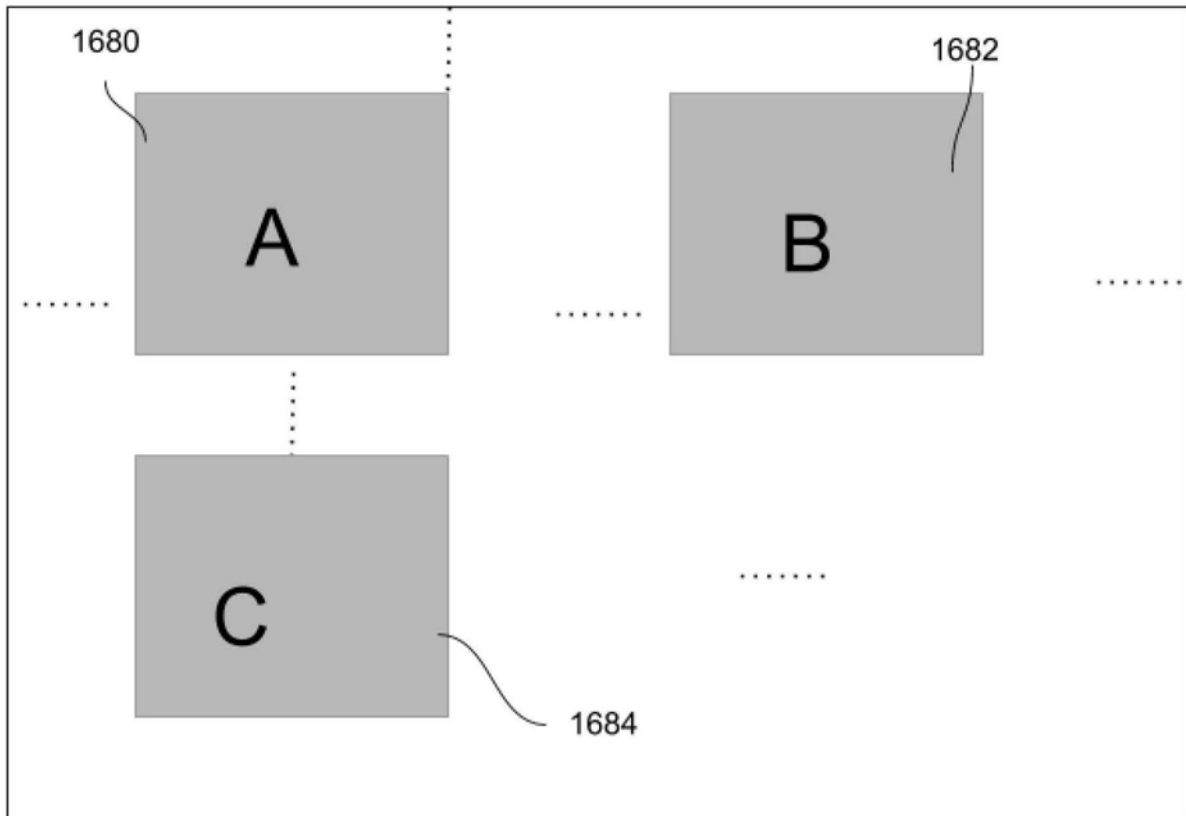


图16A

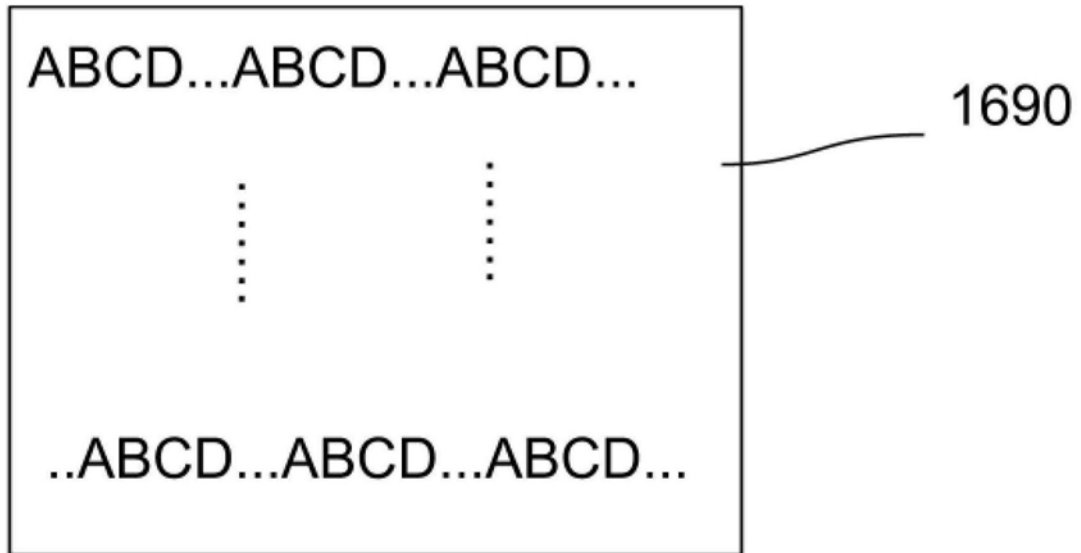


图16B

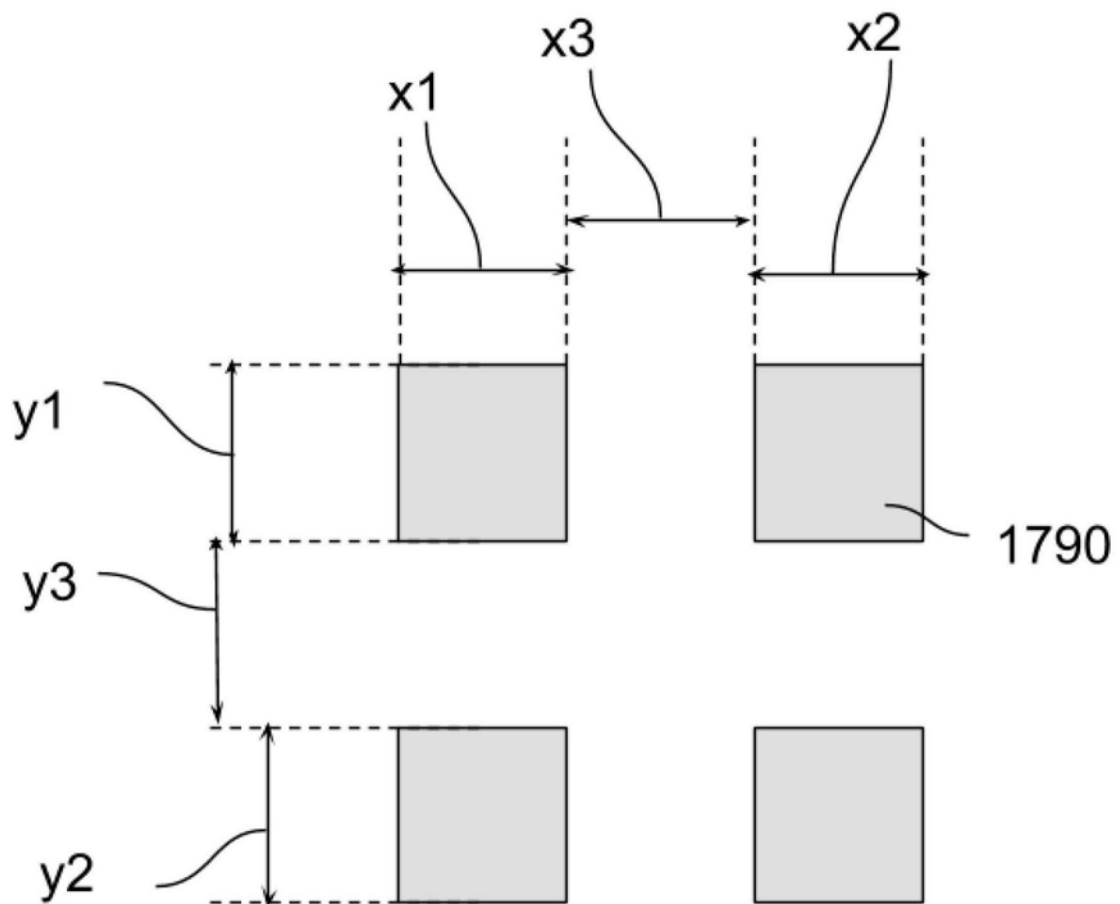


图17A

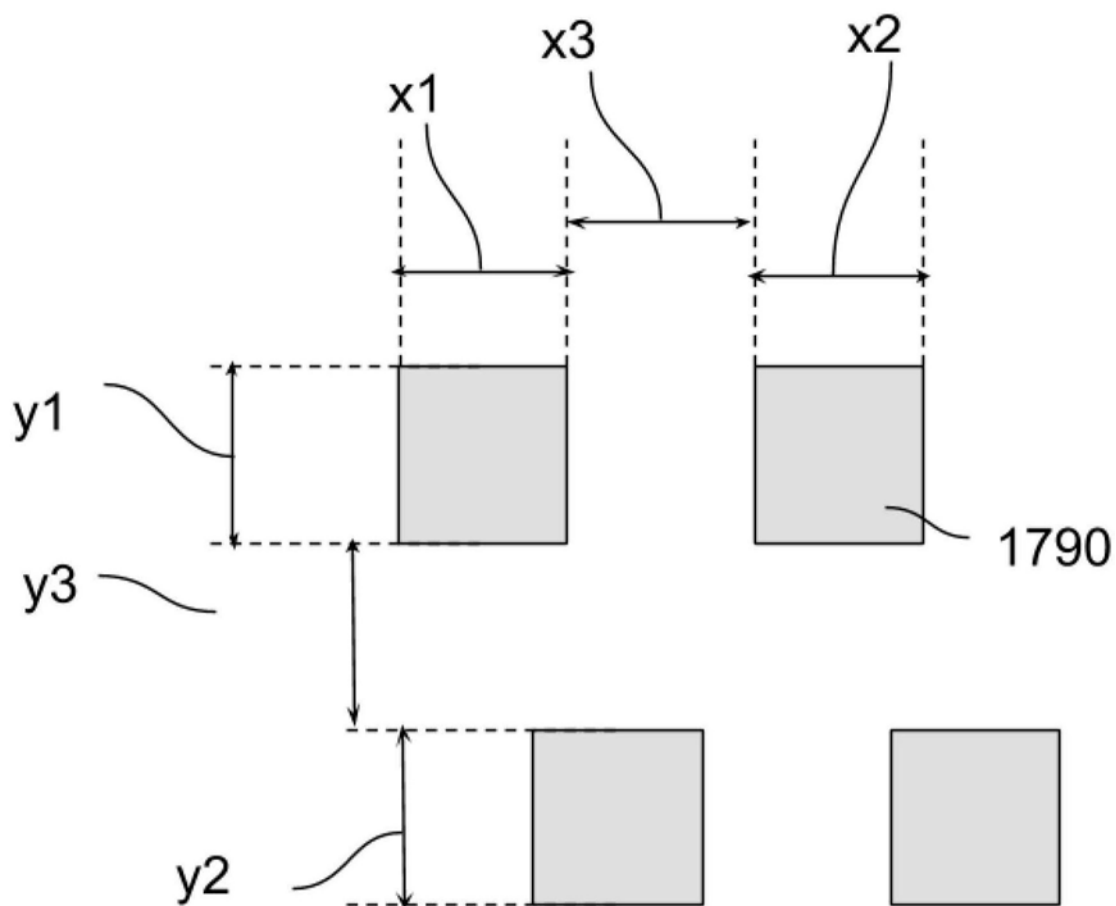


图17B

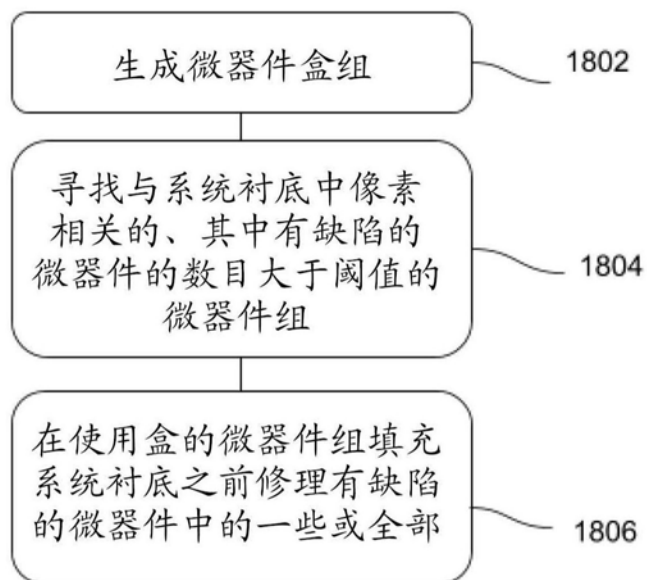


图18A

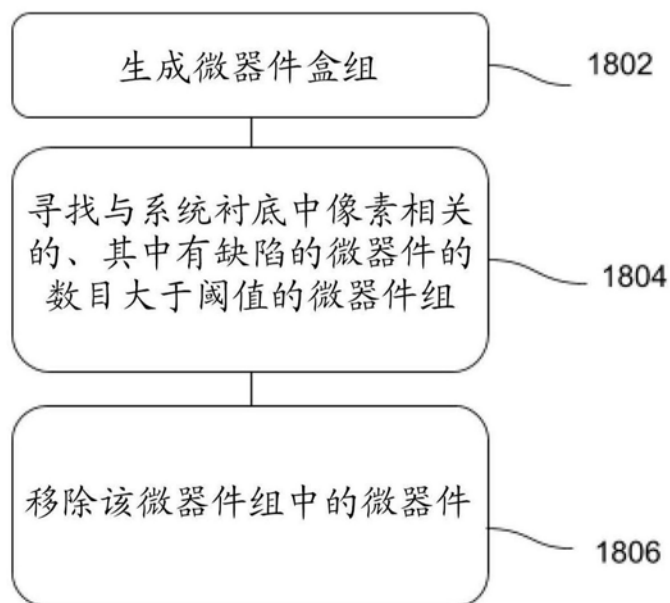


图18B

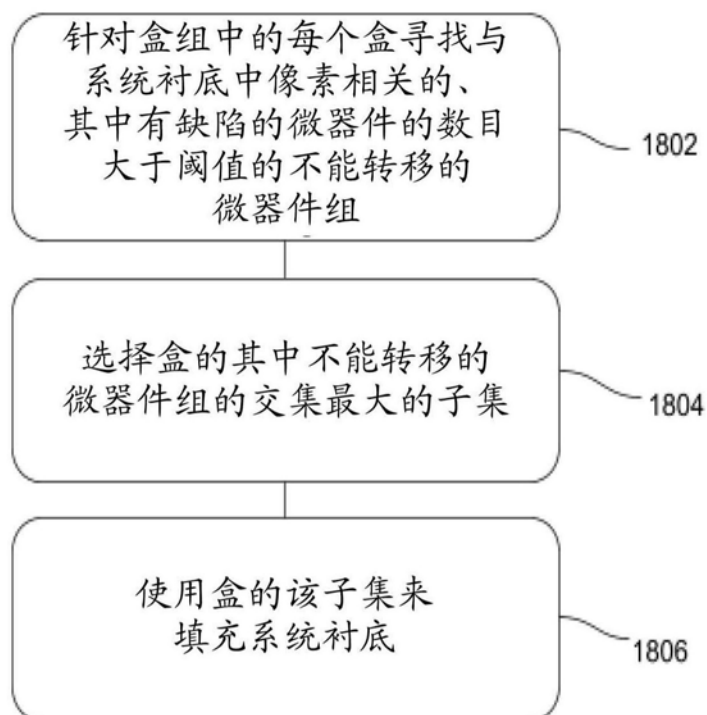


图18C

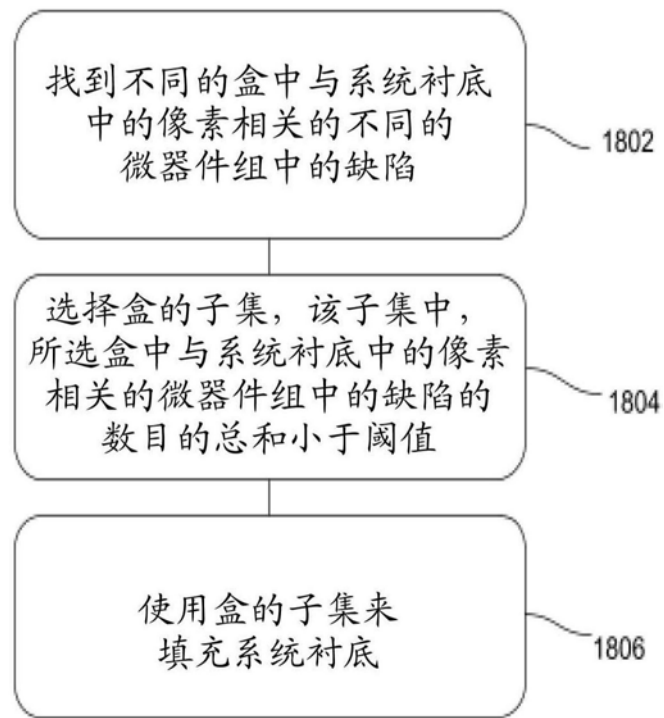


图18D

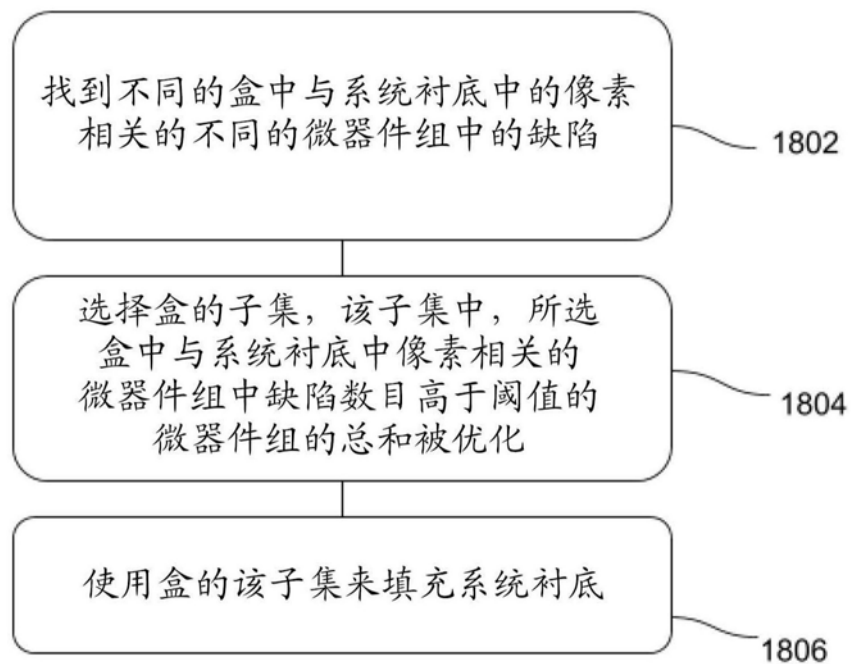


图18E

专利名称(译)	微器件转移设备以及微器件到系统衬底中的集成		
公开(公告)号	CN109830455A	公开(公告)日	2019-05-31
申请号	CN201811405946.0	申请日	2018-11-23
发明人	格拉姆雷扎·查济		
IPC分类号	H01L21/683 H01L21/60		
CPC分类号	H01L21/6835 H01L22/14 H01L24/32 H01L24/83 H01L24/95 H01L33/0093 H01L33/0095 H01L2221/68322 H01L2221/68354 H01L2221/68368 H01L2224/32145 H01L2224/32225 H01L2224/75251 H01L2224/75252 H01L2224/75272 H01L2224/75315 H01L2224/75725 H01L2224/7598 H01L2224/83204 H01L2224/83211 H01L2224/83238 H01L2224/83862 H01L2224/95001 H01L2924/10155 H01L2924/12041 H01L2924/14 H01L2924/1461 H01L24/97 H01L2924/00012		
代理人(译)	张晓媛		
优先权	2986503 2017-11-23 CA		
外部链接	Espacenet SIPO		

摘要(译)

本公开涉及将像素化的微器件集成到系统衬底中。

